

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

INVENTOR(S): Masahiro KIMURA, et al.

APPLICANT: Seiko Epson Corporation

U.S.S.N.: Not Yet Assigned

ART UNIT: Not Yet Assigned

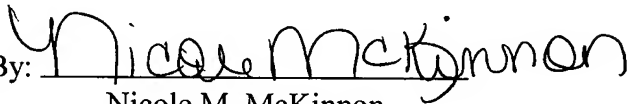
FILED: HERewith

EXAMINER: Not Yet Assigned

FOR: DATA TRANSFERRING APPARATUS AND LIQUID EJECTION APPARATUS

.....
CERTIFICATE OF EXPRESS MAILING (Label No.: EV 342614042 US)

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. section 1.10, on August 26, 2003 and is addressed to Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Arlington, VA 22313-1450.

By: 
Nicole M. McKinnon

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Arlington, VA 22313-1450

TRANSMITTAL OF CERTIFIED COPIES

Sir:

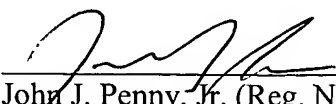
Attached please find the certified copy of the foreign application from which priority is claimed for this case:

Country: JAPAN
Application No.: 2002-245324
Filing Date: 26 August 2002

Country: JAPAN
Application No.: 2003-175095
Filing Date: 19 June 2003

Respectfully submitted,

Date: August 26, 2003
Customer No.: 21874


John J. Penny, Jr. (Reg. No. 36,984)
EDWARDS & ANGELL LLP
P.O. Box 9169
Boston, MA 02209
Tel: (617) 517-5549
Fax (617) 439-4170

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 6月19日
Date of Application:

出願番号 特願2003-175095
Application Number:
[ST. 10/C]: [JP 2003-175095]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年 8月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3062339

【書類名】 特許願

【整理番号】 J0100089

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/28
G06F 13/36

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 木村 正博

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 福光 康則

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 山本 泰久

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 五十嵐 昌弘

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100095452

 【弁理士】

 【氏名又は名称】 石井 博樹

【先の出願に基づく優先権主張】

【出願番号】 特願2002-245324

【出願日】 平成14年 8月26日

【手数料の表示】

【予納台帳番号】 055561

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0016652

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液体噴射データのデータ転送装置、液体噴射装置

【特許請求の範囲】

【請求項 1】 システムバスとローカルバスとの 2 系統の独立したバスと、前記システムバスにデータ転送可能に接続されたメインメモリと、前記ローカルバスにデータ転送可能に接続されたローカルメモリと、前記システムバスと前記ローカルバスとの間に相互にデータ転送可能に接続され、ライン展開可能に圧縮された液体噴射データをハードウェア展開可能なデコード回路を有するデコードユニットとを備えた液体噴射データのデータ転送装置。

【請求項 2】 システムバスとローカルバスとの 2 系統の独立したバスと、前記システムバスにデータ転送可能に接続されたメインメモリと、前記ローカルバスにデータ転送可能に接続されたローカルメモリと、前記システムバスと前記ローカルバスとの間に相互にデータ転送可能に接続され、ライン展開可能に圧縮された液体噴射データをハードウェア展開可能なデコード回路、該デコード回路にて展開した液体噴射データがワード単位で格納されるラインバッファ、及び前記メインメモリからライン展開可能に圧縮された液体噴射データを前記デコード回路へ DMA 転送し、該ラインバッファに展開された液体噴射データをワード単位で前記ローカルメモリへ DMA 転送し、前記ローカルメモリに格納された展開後の液体噴射データを液体噴射ヘッドのレジスタへ順次 DMA 転送する DMA 転送手段を有するデコードユニットとを備えた液体噴射データのデータ転送装置。

【請求項 3】 請求項 2 において、前記メインメモリ、前記デコードユニット、及び前記液体噴射ヘッドのレジスタは、それぞれ回路ブロックとして 1 つの ASIC に内蔵されており、前記デコードユニットと前記液体噴射ヘッドのレジスタとは、前記 ASIC 内部の専用バスによって接続されている、ことを特徴とした液体噴射データのデータ転送装置。

【請求項 4】 請求項 2 又は 3 において、前記ラインバッファは、所定のワード数の展開データを格納可能なバッファ領域を 2 面有し、一面側に前記デコー

ド回路にて展開した液体噴射データが順次格納され、所定のワード数の展開データが蓄積された時点で他面側に前記デコード回路にて展開した液体噴射データが順次格納されるとともに、所定のワード数の展開データが蓄積された時点で所定のワード数毎に展開データを前記ローカルメモリへDMA転送する、ことを特徴とした液体噴射データのデータ転送装置。

【請求項 5】 請求項 2 ～ 4 のいずれか 1 項において、前記ローカルバスにおける前記デコードユニットから前記ローカルメモリ、及び前記ローカルメモリから前記液体噴射ヘッドのレジスタへのデータ転送は、バースト転送によって行われる、ことを特徴とした液体噴射データのデータ転送装置。

【請求項 6】 請求項 1 ～ 5 のいずれか 1 項において、前記圧縮された液体噴射データは、ランレングス圧縮データであり、前記デコード回路は、ランレングス圧縮データをハードウェア展開可能なデコード回路である、ことを特徴とした液体噴射データのデータ転送装置。

【請求項 7】 請求項 2 ～ 6 のいずれか 1 項において、前記デコードユニットは、前記メインメモリからDMA転送された非圧縮の液体噴射データを前記デコード回路にてハードウェア展開せずに、前記ラインバッファへ格納する手段を備えている、ことを特徴とした液体噴射データのデータ転送装置。

【請求項 8】 請求項 1 ～ 7 のいずれか 1 項に記載の液体噴射データのデータ転送装置を備えた液体噴射装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本願発明は、液体噴射ヘッドからインク等の液体を被噴射媒体へ噴射する液体噴射装置に入力された液体噴射データを液体噴射ヘッドへ転送するための液体噴射データのデータ転送装置、及び該液体噴射データのデータ転送装置を備えた液体噴射装置に関する。

【0 0 0 2】

【従来の技術】

液体噴射装置としてのいわゆるインクジェット式記録装置は、記録ヘッドから

記録紙等にインクを噴射して画像データ等を記録する。ライン展開可能にデータ圧縮されている画像データ等をライン展開してビットマップイメージに展開し、展開したビットマップイメージを記録紙の記録面に形成する如く記録ヘッドのヘッド面に配設されている多数のノズルアレイから複数色のインク滴を噴射する。複数色のインク滴を記録面に噴射して多数のインクドットを形成することによって記録紙上に画像を形成する。尚、ライン展開可能な圧縮データとは、例えば一般的に広く知られているランレングス圧縮方式等による圧縮データであり、バイト単位で順次展開可能な圧縮方式による圧縮データのことである。

【 0 0 0 3 】

一般的にこのようなインクジェット式記録装置は、パーソナルコンピュータ等の外部装置からライン展開可能にデータ圧縮されている画像データを入力し、入力した圧縮データをライン展開（解凍）し、展開したビットマップイメージに必要なデータ処理を行った後にそのデータを記録ヘッドのレジスタへ転送するデータ転送装置を備えている。従来の一般的なデータ転送装置は、例えば、図 3 6 に示すような構成を成している。

【 0 0 0 4 】

データ転送装置 1 0 は、データ転送経路としてシステムバス S B を備えている。システムバス S B には、マイクロプロセッサ（M P U） 1 1、R A M 1 2、及びヘッド制御部 1 3 がデータ転送可能に接続されており、ヘッド制御部 1 3 に記録ヘッド 6 2 が接続されている。図示していないパーソナルコンピュータやデジタルカメラ等の情報処理装置からデータ転送される圧縮された記録データは、システムバス S B を介して R A M 1 2 へ格納される。

【 0 0 0 5 】

R A M 1 2 の圧縮データ格納エリアに格納されている圧縮された記録データは、システムバス S B 経由でマイクロプロセッサ 1 1 へ 1 バイトずつ順次データ転送され（符号 A で示した経路）、プログラムによる圧縮データの解凍手順によって 1 バイトずつ順次解凍された後、再び R A M 1 2 へシステムバス S B 経由で 1 バイトずつデータ転送されて（符号 B で示した経路）、R A M 1 2 の所望のビットマップイメージエリアに格納される。R A M 1 2 のビットマップイメージエリ

ア内に展開データが全て格納された時点で、ビットマップイメージエリア内の展開データがシステムバスSB経由でヘッド制御部13内部のレジスタ（図示せず）に1バイトずつデータ転送され（符号Cで示した経路）、そのビットマップイメージに基づいて記録ヘッド62の各ノズルアレイから記録紙ヘインクが噴射される。

【0006】

また、データ転送処理を高速化する従来技術の一例としては、システムバスとローカルバスとの2つの独立したバスを設け、システムバスとローカルバスとの間に2つのバスコントローラを配置したものが公知である。データ転送装置において、一方のバスコントローラがシステムバス側に接続されているメインメモリにアクセスしている間、他方のバスコントローラがローカルバス側に接続されているローカルメモリをアクセスする並列処理を行うことによって、データ転送処理を高速化するものである（例えば、特許文献1参照）。

【0007】

【特許文献1】

特許第3251053号公報

【0008】

【発明が解決しようとする課題】

図11に示したような構成を成す従来の液体噴射装置のデータ転送装置10において、液体噴射実行速度を向上させるためには、つまり、インクジェット式記録装置において、記録速度をより高速にするためには、以下のような課題が障壁となってしまう。

【0009】

まず、圧縮された記録データをプログラムによって1バイトずつソフトウェア展開（解凍）していくので、大量の圧縮データを高速に処理することができない。仮に高速なクロックで動作可能な処理能力の高いマイクロプロセッサ11を用いれば高速化することができるが、そのような高価なマイクロプロセッサ11を実装するとデータ転送装置10のコストが大幅に高くなってしまうという問題が生じる。

【0010】

また、RAM12へのデータ転送及びRAM12からのデータ転送が全てマイクロプロセッサ11を介して行われるので、マイクロプロセッサ11が他のデータ処理や演算等を実行している間、例えば、マイクロプロセッサ11がRAM12へプログラム等をフェッチしている間、データ転送が待たされてしまう場合があり、それによって、データ転送遅延が生じてしまうので、高速なデータ転送ができなかった。

【0011】

さらに、システムバスSBを介してマイクロプロセッサ11からRAM12へのアクセス経路と、RAM12から記録ヘッド62へのデータ転送経路とが共用になっているので、マイクロプロセッサ11がRAM12にアクセスしている間はシステムバスSBが占有されてしまい、その間RAM12から記録ヘッド62へのデータ転送を行うことができなくなってしまう。そのため、それによって、記録ヘッド62へのデータ転送遅延が生じてしまい、データ転送レートを高速化することができなかった。

【0012】

また、前述した特許文献1に開示されている従来技術においては、やはり、圧縮された記録データをプログラムによって1バイトずつソフトウェア展開（解凍）していくことになるので、大量の圧縮データを高速に展開処理することができない。したがって、情報処理装置からデータ転送される圧縮された記録データを展開して記録ヘッドへデータ転送して記録を実行する記録装置等の液体噴射装置においては、データ転送処理を高速に行うことが可能な構成であっても圧縮データを展開する処理が依然として遅いために液体噴射実行速度を向上させることができないことになってしまう。

【0013】

本願発明は、このような状況に鑑み成されたものであり、その課題は、圧縮データの高速な展開処理と、液体噴射ヘッドへの高速なデータ転送とを実現し、液体噴射装置の液体噴射実行速度を従来と比較して飛躍的に高速化することにある。

。

【0014】

【課題を解決するための手段】

上記課題を達成するため、本願発明の第1の態様は、システムバスとローカルバスとの2系統の独立したバスと、前記システムバスにデータ転送可能に接続されたメインメモリと、前記ローカルバスにデータ転送可能に接続されたローカルメモリと、前記システムバスと前記ローカルバスとの間に相互にデータ転送可能に接続され、ライン展開可能に圧縮された液体噴射データをハードウェア展開可能なデコード回路を有するデコードユニットとを備えた液体噴射データのデータ転送装置である。

【0015】

まず、従来プログラムによって圧縮された液体噴射データをソフトウェア展開していた処理を、デコード回路によってハードウェア展開する。つまり、圧縮データの展開処理以外にも多数の様々なデータ処理手順を順次実行するシングルスレッドのプログラムによって圧縮データを展開するより、圧縮データの展開専用のデコード回路によって圧縮データの展開のみを独立して実行することによって、圧縮された液体噴射データの展開処理を高速に実行することができる。

【0016】

また、システムバスとローカルバスとの2つの独立したバスと、ローカルバスに接続されたローカルメモリとを備えた構成によって、マイクロプロセッサからメモリへのアクセス経路から分離して独立したメモリから液体噴射ヘッドへの液体噴射データのデータ転送経路を確保することができる。したがって、システムバス側と非同期にローカルバス側でローカルメモリから液体噴射ヘッドのレジスタへのデータ転送を実行することができる。それによって、マイクロプロセッサからメモリへのアクセス等によってメモリから液体噴射ヘッドへの液体噴射データのデータ転送が中断され、液体噴射データのデータ転送遅延が生じて液体噴射実行速度が低下してしまうことがない。

【0017】

これにより、本願発明の第1の態様に記載の発明に係る液体噴射データのデータ転送装置によれば、システムバスとローカルバスとの独立した2系統のバスと

、圧縮データをハードウェア展開するデコード回路を内蔵したデコードユニットとによって、圧縮データの高速な展開処理と、液体噴射ヘッドへの高速なデータ転送とを実現することができるので、液体噴射装置の液体噴射実行速度を従来と比較して飛躍的に高速化することができるという作用効果が得られる。

【0018】

本願発明の第2の態様は、システムバスとローカルバスとの2系統の独立したバスと、前記システムバスにデータ転送可能に接続されたメインメモリと、前記ローカルバスにデータ転送可能に接続されたローカルメモリと、前記システムバスと前記ローカルバスとの間に相互にデータ転送可能に接続され、ライン展開可能に圧縮された液体噴射データをハードウェア展開可能なデコード回路、該デコード回路にて展開した液体噴射データがワード単位で格納されるラインバッファ、及び前記メインメモリからライン展開可能に圧縮された液体噴射データを前記デコード回路へDMA転送し、該ラインバッファに展開された液体噴射データをワード単位で前記ローカルメモリへDMA転送し、前記ローカルメモリに格納された展開後の液体噴射データを液体噴射ヘッドのレジスタへ順次DMA転送するDMA転送手段を有するデコードユニットとを備えた液体噴射データのデータ転送装置である。

【0019】

まず、従来プログラムによって圧縮された液体噴射データをソフトウェア展開していた処理を、デコード回路によってハードウェア展開する。つまり、圧縮データの展開処理以外にも多数の様々なデータ処理手順を順次実行するシングルスレッドのプログラムによって圧縮データを展開するより、圧縮データの展開専用のデコード回路によって圧縮データの展開のみを独立して実行することによって、圧縮された液体噴射データの展開処理を高速に実行することができる。

【0020】

また、ワード単位で展開後のデータを格納するラインバッファを設け、従来プログラムによって1バイトずつ展開していた圧縮データをワード単位（2バイト）で展開してラインバッファに格納してワード単位でデータ転送する。つまり、一度に展開してデータ転送する圧縮データの量が従来の2倍の量になるので、圧

縮データの展開処理をより高速に実行することができる。

【0021】

さらに、システムバスとローカルバスとの2つの独立したバスと、ローカルバスに接続されたローカルメモリとを備えた構成によって、マイクロプロセッサからメモリへのアクセス経路から分離して独立したメモリから液体噴射ヘッドへの液体噴射データのデータ転送経路を確保することができる。したがって、システムバス側と非同期にローカルバス側でローカルメモリから液体噴射ヘッドのレジスタへのデータ転送を実行することができる。それによって、マイクロプロセッサからメモリへのアクセス等によってメモリから液体噴射ヘッドへの液体噴射データのデータ転送が中断され、液体噴射データのデータ転送遅延が生じて液体噴射実行速度が低下してしまうことがない。

【0022】

さらに、DMA (Direct・Memory・Access) 転送によって高速なデータ転送が可能になる。DMA転送とは、転送元及び転送先アドレスや転送数を所定のレジスタに設定すると、後はマイクロプロセッサを介することなくハードウェアにて高速にデータ転送を行うことができる公知の転送方式である。

【0023】

これにより、本願発明の第2の態様に記載の発明に係る液体噴射データのデータ転送装置によれば、システムバスとローカルバスとの独立した2系統のバスと、デコード回路を内蔵したデコードユニット、及びマイクロプロセッサを介することなく高速なデータ転送が可能なDMA転送手段とによって、圧縮データの高速な展開処理と、液体噴射ヘッドへの高速なデータ転送とを実現することができるので、液体噴射装置の液体噴射実行速度を従来と比較して飛躍的に高速化することができるという作用効果が得られる。

【0024】

本願発明の第3の態様は、前述した第2の態様において、前記メインメモリ、前記デコードユニット、及び前記液体噴射ヘッドのレジスタは、それぞれ回路ブロックとして1つのASICに内蔵されており、前記デコードユニットと前記液

体噴射ヘッドのレジスタとは、前記ASIC内部の専用バスによって接続されている、ことを特徴とした液体噴射データのデータ転送装置である。

【0025】

このように、圧縮データを格納するメインメモリがデコードユニットと同じASIC内に回路ブロックとして構成されていることによって、特に1クロックでデータを転送するような高速なDMA転送が可能になる。したがって、圧縮された液体噴射データをデコードユニットへより高速にデータ転送を行うことができるようになる。また、液体噴射ヘッドのレジスタも同じASICに内蔵された回路ブロックで構成され、デコードユニットとASIC内部の専用バスで接続されていることによって、ローカルメモリから液体噴射ヘッドへの展開後の液体噴射データのデータ転送をより高速に行うことができるようになる。

【0026】

これにより、本願発明の第3の態様に記載の発明に係る液体噴射データのデータ転送装置によれば、前述した第2の態様に記載の発明による作用効果に加えて、圧縮された液体噴射データをデコードユニットへより高速にデータ転送することができ、かつ、ローカルメモリから液体噴射ヘッドへの展開後の液体噴射データのデータ転送をより高速に行うことができるので、液体噴射装置の液体噴射実行速度をより高速化することができるという作用効果が得られる。

【0027】

本願発明の第4の態様は、前述した第2の態様又は第3の態様において、前記ラインバッファは、所定のワード数の展開データを格納可能なバッファ領域を2面有し、一面側に前記デコード回路にて展開した液体噴射データが順次格納され、所定のワード数の展開データが蓄積された時点で他面側に前記デコード回路にて展開した液体噴射データが順次格納されるとともに、所定のワード数の展開データが蓄積された時点で所定のワード数毎に展開データを前記ローカルメモリへDMA転送する、ことを特徴とした液体噴射データのデータ転送装置である。

【0028】

このように、ラインバッファは、所定のワード数の展開データを格納可能なバッファ領域を2面有しており、デコード回路にて展開したデータを一面側に格納

していき、所定のワード数分蓄積された時点で、一面側の展開データをDMA転送手段によってワード単位で転送している間、デコード回路にて展開したデータを他面側に格納していくとができるので、圧縮データの展開処理とデータ転送処理とを平行して行うことができる。

【0029】

これにより、本願発明の第4の態様に記載の発明に係る液体噴射データのデータ転送装置によれば、前述した第2の態様又は第3の態様に記載の発明による作用効果に加えて、圧縮データの展開処理とデータ転送処理とを平行して行うことができるので、液体噴射装置の液体噴射実行速度をより高速化することができるという作用効果が得られる。

【0030】

本願発明の第5の態様は、前述した第2の態様～第4の態様のいずれかにおいて、前記ローカルバスにおける前記デコードユニットから前記ローカルメモリ、及び前記ローカルメモリから前記液体噴射ヘッドのレジスタへのデータ転送は、バースト転送によって行われる、ことを特徴とした液体噴射データのデータ転送装置である。

【0031】

バースト転送とは、データ転送を高速化する公知の手法の1つであり、連続したデータを転送する際に、アドレスの指定などの手順を一部省略することによって、所定のデータブロックのデータを全て転送し終えるまでの間バスを占有して転送することでデータ転送速度を上げるデータ転送方式である。メモリの読み書きの高速化など、様々な局面で利用されるデータ転送を高速化するための一般的な手法である。そして、従来システムバスを経由して行われていた液体噴射ヘッドへのデータ転送をシステムバスから独立したローカルバス経由で行うので、ローカルバス経由のデコードユニットからローカルメモリ、及びローカルメモリから液体噴射ヘッドのレジスタへのデータ転送をバースト転送によって行うことができる。

【0032】

つまり、システムバスを経由してメモリから液体噴射ヘッドへのデータ転送を

行う従来のデータ転送装置においては、液体噴射ヘッドに対して所定のデータブロックのデータを全て転送し終えるまでの間バスを占有して転送すると、マイクロプロセッサの要求によるデータ転送等を実行できなくなるなどの弊害が生じてしまうが、システムバスから独立したローカルバスにおいては、そのような弊害が生じないので、ローカルバスを経由する液体噴射ヘッドへのデータ転送をバースト転送で行うことができる。

【0033】

これにより、本願発明の第5の態様に記載の発明に係る液体噴射データのデータ転送装置によれば、前述した第2の態様～第4の態様のいずれかに記載の発明による作用効果に加えて、ローカルバスを経由する液体噴射ヘッドへのデータ転送をバースト転送で行うことによって、液体噴射装置の液体噴射実行速度をより高速化することができるという作用効果が得られる。

【0034】

また、システムバスとローカルバスが独立しており、デコードユニットのデコード回路とラインバッファとによって、システムバス側のデータ転送と非同期に液体噴射ヘッドへのデータ転送を行うことができるので、バースト転送による転送速度の高速化の効果を最大限に発揮することができるという作用効果が得られる。

【0035】

本願発明の第6の態様は、前述した第1の態様～第5の態様のいずれかにおいて、前記圧縮された液体噴射データは、ランレングス圧縮データであり、前記デコード回路は、ランレングス圧縮データをハードウェア展開可能なデコード回路である、ことを特徴とした液体噴射データのデータ転送装置である。

【0036】

本願発明の第6の態様に記載の発明に係る液体噴射データのデータ転送装置によれば、ライン展開可能なランレングス圧縮データをハードウェア展開可能なデコード回路によって、前述した第1の態様～第5の態様のいずれかに記載の発明による作用効果を得ることができる。

【0037】

本願発明の第7の態様は、前述した第2の態様～第6の態様のいずれかにおいて、前記デコードユニットは、前記メインメモリからDMA転送された非圧縮の液体噴射データを前記デコード回路にてハードウェア展開せずに、前記ラインバッファへ格納する手段を備えている、ことを特徴とした液体噴射データのデータ転送装置である。

【0038】

本願発明の第7の態様に記載の発明に係る液体噴射データのデータ転送装置によれば、前述した第2の態様～第6の態様のいずれかに記載の発明による作用効果に加えて、メインメモリに格納されている液体噴射データが非圧縮の液体噴射データである場合には、デコード回路にてハードウェア展開せずに、そのままラインバッファへ格納する手段を備えているので、非圧縮の液体噴射データにおける液体噴射実行速度もより高速化することができるという作用効果が得られる。

【0039】

本願発明の第8の態様に記載の発明は、前述した第1の態様～第7の態様のいずれかに記載の液体噴射データのデータ転送装置を備えた液体噴射装置である。

本願発明の第8の態様に記載の発明に係る液体噴射装置によれば、液体噴射装置において、前述した第1の態様～第7の態様のいずれかに記載の発明による作用効果を得ることができる。

【0040】

【発明の実施の形態】

以下、本願発明の実施の形態を図面に基づいて説明する。

まず、本願発明に係る「液体噴射装置」としてのインクジェット式記録装置の第1実施例について説明する。図1は、本願発明に係るインクジェット式記録装置の概略の平面図であり、図2はその側面図である。

【0041】

インクジェット式記録装置50には、記録紙Pに記録を実行する記録手段として、キャリッジガイド軸51に軸支され、主走査方向Xに移動するキャリッジ61が設けられている。キャリッジ61には、記録紙Pにインクを噴射して記録を

行う「液体噴射ヘッド」としての記録ヘッド62が搭載されている。記録ヘッド62と対向して、記録ヘッド62のヘッド面と記録紙Pとのギャップを規定するプラテン52が設けられている。そして、キャリッジ61とプラテン52の間に記録紙Pを副走査方向Yに所定の搬送量で搬送する動作と、記録ヘッド62を主走査方向Xに一往復させる間に記録ヘッド62から記録紙Pにインクを噴射する動作とを交互に繰り返すことによって記録紙Pに記録が行われる。

【0042】

給紙トレイ57は、例えば普通紙やフォト紙等の記録紙Pを給紙可能な構成となっており、記録紙Pを自動給紙する給紙手段としてのASF（オート・シート・フィーダー）が設けられている。ASFは、給紙トレイ57に設けられた2つの給紙ローラ57b及び図示してない分離パッドを有する自動給紙機構である。この2つの給紙ローラ57bの1つは、給紙トレイ57の一方側に配置され、もう1つの給紙ローラ57bは、記録紙ガイド57aに取り付けられており、記録紙ガイド57aは、記録紙Pの幅に合わせて幅方向に摺動可能に給紙トレイ57に設けられている。そして、給紙ローラ57bの回転駆動力と、分離パッドの摩擦抵抗により、給紙トレイ57に置かれた複数の記録紙Pを給紙する際に、複数の記録紙Pが一度に給紙されることなく1枚ずつ正確に自動給紙される。

【0043】

記録紙Pを副走査方向Yに搬送する記録紙搬送手段として、搬送駆動ローラ53と搬送従動ローラ54が設けられている。搬送駆動ローラ53は、ステッピング・モータ等の回転駆動力により回転制御され、搬送駆動ローラ53の回転により、記録紙Pは副走査方向Yに搬送される。搬送従動ローラ54は、複数設けられており、それぞれ個々に搬送駆動ローラ53に付勢され、記録紙Pが搬送駆動ローラ53の回転により搬送される際に、記録紙Pに接しながら記録紙Pの搬送に従動して回転する。搬送駆動ローラ53の表面には、高摩擦抵抗を有する皮膜が施されている。搬送従動ローラ54によって、搬送駆動ローラ53の表面に押しつけられた記録紙Pは、その表面の摩擦抵抗によって搬送駆動ローラ53の表面に密着し、搬送駆動ローラ53の回転によって副走査方向に搬送される。

【0044】

また、給紙ローラ 5 7 b と搬送駆動ローラ 5 3 との間には、従来技術において公知の技術による紙検出器 6 3 が配設されている。紙検出器 6 3 は、立位姿勢への自己復帰習性が付与され、かつ記録紙搬送方向にのみ回転し得るよう記録紙 P の搬送経路内に突出する状態で枢支されたレバーを有し、このレバーの先端が記録紙 P に押されることでレバーが回転し、それによって記録紙 P が検出される構成を成す検出器である。紙検出器 6 3 は、給紙ローラ 5 7 b より給紙された記録紙 P の始端位置、及び終端位置を検出し、その検出位置に合わせて記録領域が決定され、記録が実行される。

【 0 0 4 5 】

一方、記録された記録紙 P を排紙する手段として、排紙駆動ローラ 5 5 と排紙従動ローラ 5 6 が設けられている。排紙駆動ローラ 5 5 は、ステッピング・モータ等の回転駆動力により回転制御され、排紙駆動ローラ 5 5 の回転により、記録紙 P は副走査方向 Y に排紙される。排紙従動ローラ 5 6 は、周囲に複数の歯を有し、各歯の先端が記録紙 P の記録面に点接触するように鋭角的に尖っている歯付きローラになっている。複数の排紙従動ローラ 5 6 は、それぞれ個々に排紙駆動ローラ 5 5 に付勢され、記録紙 P が排紙駆動ローラ 5 5 の回転により排紙される際に記録紙 P に接して記録紙 P の排紙に従動して回転する。

【 0 0 4 6 】

そして、給紙ローラ 5 7 b や搬送駆動ローラ 5 3、及び排紙駆動ローラ 5 5 を回転駆動する図示していない回転駆動用モータ、並びにキャリッジ 6 1 を主走査方向に駆動する図示していないキャリッジ駆動用モータは、記録制御部 1 0 0 により駆動制御される。また、記録ヘッド 6 2 も同様に、記録制御部 1 0 0 により制御されて記録紙 P の表面にインクを噴射する。

【 0 0 4 7 】

図 3 は、本願発明に係るインクジェット記録装置 5 0 の概略のブロック図である。

インクジェット式記録装置 5 0 は、各種記録処理の制御を実行する記録制御部 1 0 0 を備えている。記録制御部 1 0 0 は、システムバス S B とローカルバス L B との 2 系統の独立したバスを備えている。システムバス S B には、M P U (マ

イクロプロセッサ) 24、ROM 21、RAM 22、不揮発性記憶媒体 23、I/O 25、及びデコード回路 28 がデータ転送可能に接続されている。MPU 24 では各種処理の演算処理が行われる。ROM 21 には、MPU 24 の演算処理に必要なソフトウェア・プログラム及びデータがあらかじめ記憶されている。RAM 22 は、ソフトウェア・プログラムの一時的な記憶領域、MPU 24 の作業領域等として使用される。また、フラッシュメモリ等の不揮発性記憶媒体 23 には、MPU 24 における演算処理結果の所定のデータが格納され、インクジェット記録装置 50 の電源断の間においても該データを保持する構成となっている。

【0048】

さらに、記録制御部 100 は、外部装置とのインターフェース機能を有するインターフェース部 27 を介して、パーソナルコンピュータ等の情報処理装置 200 と接続され、その情報処理装置 200 との間において、システムバス SB を介して各種情報やデータの入出力が可能な構成となっている。そして、I/O 25 は、MPU 24 における演算処理結果に基づいて、入出力部 26 を介して各種モータ制御部 31 に対して出力制御を行い、かつ各種センサー 32 からの入力情報等を入力する。各種モータ制御部 31 は、インクジェット式記録装置 50 の各種モータを駆動制御する駆動制御回路であり、記録制御部 100 によって制御される。また、各種センサー 32 は、インクジェット記録装置 50 の各種状態情報を検出し、入出力部 26 を介して I/O 25 に出力する。

【0049】

記録実行時には、情報処理装置 200 がホスト側となり、情報処理装置 200 から圧縮された記録データ（液体噴射データ）が出力され、インクジェット式記録装置 50 は、インターフェース部 27 からシステムバス SB を介して圧縮された記録データを入力する。デコード回路 28 は、圧縮された記録データをハードウェア展開した後、展開後の記録データをローカルバス LB 経由でローカルメモリ 29 へ格納する。ローカルメモリ 29 に格納された展開後の記録データは、再びローカルバス LB を介してヘッド制御部 33 内部のレジスタから記録ヘッド 62 へ転送される。ヘッド制御部 33 は、記録ヘッド 62 に対して制御を行い、記録ヘッド 62 のヘッド面に多数配設されたノズルアレイから各色のインクを記録

紙 P の記録面に噴射する。

【0050】

このように、システムバス SB とローカルバス LB との独立した 2 系統のバスと、圧縮データをハードウェア展開するデコード回路 28 とによって、圧縮データの高速な展開処理と、記録ヘッド 62 への高速なデータ転送とを実現することができるので、インクジェット式記録装置 50 の記録実行速度を従来と比較して飛躍的に高速化することができる。つまり、従来のように、MPU 24 において、圧縮データの展開処理以外にも多数の様々なデータ処理手順を順次実行するシングルスレッドのプログラムによって圧縮データを展開するのではなく、圧縮データの展開専用のデコード回路 28 によって圧縮データの展開のみを独立して実行することによって、圧縮された記録データの展開処理を高速に実行することができるものである。

【0051】

また、システムバス SB とローカルバス LB との 2 つの独立したバスと、ローカルバス LB に接続されたローカルメモリ 29 とを備えた構成によって、MPU 24 が接続されているシステムバス SB から分離されて独立した記録ヘッド 62 への記録データのデータ転送経路（ローカルバス LB）を確保することができる。したがって、システムバス SB 側と非同期にローカルバス LB 側でローカルメモリ 29 から記録ヘッドのレジスタへのデータ転送を実行することができる。それによって、MPU 24 から RAM 22 へのアクセス等によって記録ヘッド 62 への記録データのデータ転送が中断され、記録データのデータ転送遅延が生じて記録実行速度が低下してしまうことがない。

【0052】

さらに、当該実施例においては、デコード回路 28 とローカルバス LB との間にワード単位で展開後のデータを格納するラインバッファ 281 が設けられている。デコード回路 28 にて展開された記録データは、いったんラインバッファ 281 に一時的に格納される。ラインバッファ 281 に格納された展開後の記録データは、2 ワード毎にローカルバス LB を介してローカルメモリ 29 へデータ転送される。このように、デコード回路 28 とローカルバス LB との間にワード単

位で展開後のデータを格納するラインバッファ 281 を設けても良い。ワード単位で展開後のデータを格納するラインバッファ 281 を設けて、従来プログラムによって 1 バイトずつ展開していた圧縮データをワード単位 (2 バイト) で展開してラインバッファ 281 に格納してワード単位でローカルメモリ 29 へデータ転送することによって、一度に展開してデータ転送する圧縮データの量が従来の 2 倍の量になるので、圧縮データの展開処理をより高速に実行することができるようになり、より好ましいと言える。

【0053】

図 4 は、本願発明に係る「液体噴射データのデータ転送装置」としてのデータ転送装置 10 の構成を示したブロック図である。図 5 は、データ転送装置 10 における記録データの流れを模式的に示したタイミングチャートである。

【0054】

記録制御部 100 は、ASIC (特定用途向け集積回路) 4 を備えており、ASIC 4 は、前述したインターフェース部 27、前述したヘッド制御部 33、受信バッファ部 42、及び本願発明に係る「デコードユニット」としての DECU 41 を内蔵している。DECU 41 は、前述したデコード回路 28、ラインバッファ 281、及び「DMA 転送手段」を内蔵している (詳細は後述する)。また、システムバス SB、及びローカルバス LB は、16 ビットバスであり、所定のデータ転送周期毎に 1 ワード (2 バイト) のデータを転送することができる。以下、図 5 に示したタイミングチャートを参照しながらデータ転送装置 10 における記録データの流れを説明する。

【0055】

圧縮された記録データは、情報処理装置 200 からインターフェース部 27 を介して「メインメモリ」としての受信バッファ部 42 へシステムバス SB を経由して 1 ワードずつ DMA 転送される (符号 T1)。前述したように、DMA 転送とは、転送元及び転送先アドレスや転送数を所定のレジスタに設定すると、後は MPU 24 を介することなくハードウェアにて高速にデータ転送を行うことができる転送方式である。次に、受信バッファ部 42 からシステムバス SB を介して DECU 41 へ DMA 転送される (符号 T2)。つづいて、DECU 41 の内部

でデコード回路 28 によって、圧縮された 1 ワードのデータがハードウェア展開され、展開された記録データがラインバッファ 281 へ格納される（符号 T3）。

【0056】

展開されてラインバッファ 281 に格納された記録データは、ラインバッファ 281 に格納された記録データが所定バイト数に達した時点で、システムバス SB 側のデータ転送とは非同期にローカルバス LB を経由してローカルメモリ 29 のビットマップエリアへ DMA 転送される（符号 T4）。つづいて、ローカルメモリ 29 のビットマップエリアへ格納されたビットマップデータとしての記録データは、再びローカルバス LB を経由して DECU 41 へ DMA 転送され（符号 T5）、DECU 41 から内部バス IB を経由してヘッド制御部 33 へ DMA 転送され（符号 T6）、ヘッド制御部 33 内部のレジスタに格納された後、記録ヘッド 62 へ DMA 転送される（符号 T7）。

【0057】

このように、受信バッファ部 42（メインメモリ）からデコード回路 28 へのデータ転送、デコード回路 28 からローカルメモリ 29 へのデータ転送、及びローカルメモリ 29 から記録ヘッド 62 へのデータ転送を DMA 転送としても良く、それによって、より高速なデータ転送が可能になり、より好ましい。また、圧縮データを格納する「メインメモリ」が受信バッファ部 42 として DECU 41 と同じ ASIC 4 内に回路ブロックとして構成されていることによって、特に 1 クロックでデータを転送するような高速な DMA 転送が可能になる。尚、ASIC 4 に受信バッファ部 42 を設けず、RAM 22 の一部を「メインメモリ」として使用しても良い。

【0058】

図 6 は、本願発明に係る「デコードユニット」としての DECU 41 の構成を示したブロック図である。

前述した「DMA 転送手段」としての S-DMA コントローラ 411 は、システムバス SB 側の DMA 転送をコントロールする。S-DMA コントローラ 411 によって、受信バッファ部 42 に格納されている圧縮された記録データが 1 ワ

ードずつ展開処理コントローラ 412 へ DMA 転送される。展開処理コントローラ 412 は、前述したデコード回路 28 とラインバッファ 281 を内蔵している。受信バッファ部 42 から S-DMA コントローラ 411 によって 1 ワードずつ DMA 転送された圧縮された記録データは、デコード回路 28 にて 1 ワードずつハードウェア展開され、展開された記録データがラインバッファ 281 へ格納されて蓄積される。

【0059】

同じく「DMA 転送手段」としての L-DMA コントローラ 413 は、ローカルバス LB 側の DMA 転送をコントロールする。また、ローカルメモリコントローラ 414 は、ローカルバス LB に接続されているローカルメモリ 29 の読み出し、及び書き込みを制御する。そして、ラインバッファ 281 に所定バイト数の展開後の記録データが蓄積された時点で、ラインバッファ 281 に蓄積された展開後の記録データは、L-DMA コントローラ 413 によってローカルメモリコントローラ 414 を介してローカルバス LB 経由でローカルメモリ 29 へシステムバス SB 側の DMA 転送とは非同期に DMA 転送される。ローカルメモリ 29 へ DMA 転送された展開後の記録データは、ローカルメモリ 29 の所定のビットマップエリアへ格納される。

【0060】

同じく「DMA 転送手段」としての I-DMA コントローラ 415 は、ASIC 4 内の DECU 41 とヘッド制御部 33 との間の専用バスである内部バス IB の DMA 転送をコントロールする。ローカルメモリ 29 のビットマップエリアに格納された展開後の記録データは、I-DMA コントローラ 415 によってローカルメモリコントローラ 414 を介してローカルバス LB 及び内部バス IB を経由してヘッド制御部 33 へ DMA 転送され、ヘッド制御部 33 内部のレジスタに格納された後、記録ヘッド 62 へ DMA 転送される。

【0061】

また、ラインバッファ 281 からローカルメモリ 29 への DMA 転送は、L-DMA コントローラ 413 によってバースト転送され、ローカルメモリ 29 から記録ヘッド 62 への DMA 転送は、I-DMA コントローラ 415 によってバー

スト転送される。前述したように、バースト転送とは、連続したデータを転送する際にアドレスの指定などの手順を一部省略することによって、所定のデータブロックのデータを全て転送し終えるまでの間バスを占有して転送するデータ転送方式である。L-DMAコントローラ413は、ラインバッファ281に所定バイト数の展開後の記録データが蓄積された時点で、所定バイト数の展開後の記録データを1ワードずつ、所定バイト数ローカルメモリ29へDMA転送し終えるまでローカルバスLBを占有してバースト転送する。I-DMAコントローラ415は、ローカルメモリ29のビットマップエリアに格納されている展開後の記録データを所定バイト数のデータブロック毎に1ワードずつ、1つのデータブロックを全て記録ヘッド62へDMA転送し終えるまでローカルバスLBを占有してバースト転送する。

【0062】

そして、ラインバッファ281からローカルメモリ29へのバースト転送と、ローカルメモリ29から記録ヘッド62へのバースト転送とが競合した場合には、ローカルメモリ29から記録ヘッド62へのバースト転送が優先され、ローカルメモリ29から記録ヘッド62へのバースト転送中は、ラインバッファ281からローカルメモリ29へのバースト転送は一時停止し、ローカルメモリ29から記録ヘッド62への記録データに基づく記録ヘッド62のノズルアレイからのインク噴射動作が途切れなくなっている。

【0063】

このように、記録ヘッド62に対して所定のデータブロックのデータを全て転送し終えるまでの間ローカルバスLBを占有して転送することにより、システムバスSB側のMPU24の要求によってデータ転送等を実行できなくなるなどの弊害が生じないので、記録ヘッド62への記録データのデータ転送を高速に行うことができる。

【0064】

図7及び図8は、DECU41内部において、圧縮された記録データがデコード回路28でハードウェア展開され、ラインバッファ281へ格納されるまでを模式的に示したものである。また、図9は、展開後の記録データがラインバッ

ァ 281 からローカルメモリ 29 へ転送されて格納されるまでを模式的に示したものである。

【0065】

当該実施例においては、圧縮された記録データは、ランレングス圧縮方式によって圧縮されている。ランレングス圧縮方式は、公知のデータ圧縮方式であり、以下簡単に説明する。ランレングス圧縮データは、バイト境界の圧縮データであり、カウント（1 バイト）とデータ（1 バイト又は複数バイト）とがセットになっている。つまり、ランレングス圧縮データは、まずカウントがあり、その後には必ずデータがあるという構成になっている。カウントの値が 128 以上（負の定数）、つまり、80H 以上の場合には、次の 1 バイトのデータを繰り返して展開することを意味しており、257 からカウントの値を減算した数だけ、そのカウントの次の 1 バイトのデータを繰り返して展開する。一方、カウントの値が 127 以下、つまり、7FH 以下の場合には、そのカウント以降に繰り返さないでそのまま展開するデータがつづくことを意味しており、そのカウントの値に 1 を加算したバイト数だけ、そのカウント以降のデータをそのまま繰り返さずに展開する。

【0066】

つづいて、ラインバッファ 281 の構成について説明する。ラインバッファ 281 は、8 ワード（16 バイト）の格納エリアに予備格納エリア 1 ワード（2 バイト）を加えた 9 ワードのデータ格納エリアを 2 面有しており、それぞれ A 面、B 面とする。デコード回路 28 にて 1 ワードずつ展開された記録データは、1 ワードずつ順番にラインバッファ 281 の A 面か B 面のどちらか一面側に順次格納されていき、所定バイト数、当該実施例においては 16 バイトの展開データが蓄積された時点で、他面側に順次格納されていく。また、蓄積された 16 バイトの展開データは、前述したように、ローカルバス LB を経由してローカルメモリ 29 に DMA 転送され、ローカルメモリ 29 の所定のビットマップエリアに格納される。

【0067】

このように、ラインバッファ 281 は、16 バイトの展開後の記録データを格

納可能なバッファ領域を2面有しており、デコード回路28にて展開した記録データを一面側に格納していく。そして、16バイト分蓄積された時点で、一面側の展開後の記録データをDMA転送手段によってワード単位で転送している間、デコード回路28にて展開した記録データを他面側に格納していくことができるので、圧縮された記録データの展開処理とデータ転送処理とを平行して行うことができる。

【0068】

つづいて、ランレングス圧縮データの一例を挙げ、その圧縮データがデコード回路28にて展開され、ラインバッファ281に格納され、ラインバッファ281からローカルメモリ29へ格納される記録データの流れを説明する。

【0069】

受信バッファ部（メインメモリ）42には、図示の如くFEHから始まる24ワード（48バイト）のランレングス圧縮された記録データが格納されているとする。ランレングス圧縮された記録データは、1ワードずつ、つまり、2バイトずつデコード回路28へシステムバスSBを経由してDMA転送され、ハードウェア展開され、ラインバッファ281へ格納される。当該実施例においては、ランレングス圧縮データのデータ開始アドレスは、偶数アドレスであり、ローカルメモリ29側のビットマップデータ（イメージデータ）のデータ開始アドレスは、偶数アドレスとなる。また、ラインバッファ281からローカルメモリ29へDMA転送されるデータブロックのバイト数（1ラインバイト数）は、16バイトである。

【0070】

尚、図7に示したメインメモリ、DECU41内部のラインバッファ281、及び図9に示したローカルメモリ29は、向かって左上端が偶数アドレスであり、左から右へ向かって順番に上位アドレスとなっていく、以下の図面においても全て同様とする。

【0071】

以下、1ワードずつ順を追って説明していく。まず、受信バッファ部42から最初の1ワードの圧縮された記録データ（FEH、01H）がDECU41内部

のデコード回路 2 8 へ DMA 転送される（転送 S 1）。F E H はカウントであり、0 1 H はデータである。カウントの値 F E H = 2 5 4 であり、1 2 8 以上なので、 $2 5 7 - 2 5 4 = 3$ 回、データ 0 1 H が繰り返して展開され、ラインバッファ 2 8 1 の A 面側に 1 バイトずつ順次格納される。次に、デコード回路 2 8 に DMA 転送されるランレングス圧縮データは、0 3 H、0 2 H である（転送 S 2）。0 3 H はカウントであり、0 2 H はデータである。カウントの値 0 3 H = 3 であり、1 2 7 以下なので、このカウントの次のデータから $3 + 1 = 4$ バイト、繰り返さないで展開するデータがあることになる。つまり、カウント 0 3 H 以降のデータ 0 2 H、7 8 H、5 5 H、4 4 H が繰り返さずにそのまま展開され、ラインバッファ 2 8 1 の A 面に順次格納される（転送 S 2 ～ S 4）。転送 S 4 にて DMA 転送されたワードデータの上位側（奇数アドレス側）の F B H はカウントであり、次の 1 バイトのデータが 6 回（ $2 5 7 - 2 5 1 = 6$ ）繰り返して展開されることになる。

【 0 0 7 2 】

つづいて、デコード回路 2 8 に DMA 転送される圧縮された記録データは、F F H、F E H である（転送 S 5）。下位アドレス側（偶数アドレス側）の F F H はデータであり、その前のカウント F B H のデータである。したがって、F F H が 6 回繰り返して展開され、ラインバッファ 2 8 1 の A 面側に順次格納される。また、上位アドレス側（奇数アドレス側）の F E H はカウントであり、次の 1 バイトのデータが 3 回（ $2 5 7 - 2 5 4 = 3$ ）繰り返して展開されることになる。つづいて、デコード回路 2 8 に DMA 転送される圧縮された記録データは、1 1 H、0 6 H である（転送 S 6）。下位アドレス側（偶数アドレス側）の 1 1 H はデータであり、その前のカウント F E H のデータである。したがって、1 1 H が 3 回繰り返して展開され、ラインバッファ 2 8 1 の A 面側に順次格納される。また、上位アドレス側（奇数アドレス側）の 0 6 H はカウントであり、以降 7 バイト（ $6 + 1 = 7$ ）のデータ（6 6 H、1 2 H、7 7 H、4 5 H、8 9 H、1 0 H、5 5 H）が繰り返さずにそのまま展開され、ラインバッファ 2 8 1 の B 面側に順次格納される（転送 S 7 ～ S 1 0）。

【 0 0 7 3 】

一方、ラインバッファ 281 の A 面側に 1 ラインバイト数、つまり 16 バイトの展開後の記録データが蓄積された時点で（転送 S 6 の時点）、16 バイトを 1 ラインのデータブロックとして、ローカルメモリ 29 へ 1 ワードずつ DMA 転送する。その際、L-DMA コントローラ 413 は（図 6）、1 ラインの展開後の記録データを全てローカルメモリ 29 へ DMA 転送し終えるまでローカルバス LB を占有してバースト転送する（転送 D 1）。ローカルメモリ 29 へ転送された 1 ライン分の記録データは、ローカルメモリ 29 の所定のビットマップエリア内に、偶数アドレスを先頭にして下位アドレスから 1 ワードずつ順次格納されていく（図 9（a））。

【0074】

つづいて、デコード回路 28 に DMA 転送される圧縮された記録データは、10H、FAH である（転送 S 11）。下位アドレス側（偶数アドレス側）の 10H はデータであり、その前のカウント FBH のデータである。したがって、10H が 6 回繰り返して展開され、ラインバッファ 281 の B 面側に順次格納される。また、上位アドレス側（奇数アドレス側）の FAH はカウントであり、次の 1 バイトのデータが 7 回（ $257 - 250 = 7$ ）繰り返して展開されることになる。つづいて、デコード回路 28 に DMA 転送される圧縮された記録データは、20H、08H である（転送 S 12）。下位アドレス側（偶数アドレス側）の 20H はデータであり、その前のカウント FAH のデータである。したがって、20H が 7 回繰り返して展開され、ラインバッファ 281 の B 面側に順次格納され、B 面側の蓄積データが 16 バイトに達した時点で残りのデータが A 面側に順次格納される。また、上位アドレス側（奇数アドレス側）の 08H はカウントであり、以降 9 バイト（ $8 + 1 = 9$ ）のデータ（12H、13H、14H、15H、16H、17H、18H、19H、20H）が繰り返さずにそのまま展開され、ラインバッファ 281 の A 面側に順次格納される（図 8 の転送 S 13～S 17）。

【0075】

一方、ラインバッファ 281 の B 面側に 1 ラインバイト数、つまり 16 バイトの展開後の記録データが蓄積された時点で（転送 S 12 の時点）、16 バイトを 1 ラインのデータブロックとして、ローカルメモリ 29 へ 1 ワードずつ DMA 転

送する。その際、L-DMAコントローラ413は（図6）、1ラインの展開後の記録データを全てローカルメモリ29へDMA転送し終えるまでローカルバスLBを占有してバースト転送する（転送D2）。ローカルメモリ29へ転送された1ライン分の記録データは、ローカルメモリ29の所定のビットマップエリア内に、偶数アドレスを先頭にして下位アドレスから1ワードずつ順次格納されていく（図9（b））。

【0076】

つづいて、デコード回路28にDMA転送される圧縮された記録データは、11H、02Hである（転送S18）。下位アドレス側（偶数アドレス側）の11Hはデータであり、その前のカウントFDH（転送S17の上位アドレス側）のデータである。したがって、11Hが3回（ $257 - 254 = 3$ ）繰り返して展開され、ラインバッファ281のA面側に順次格納され、A面側の蓄積データが16バイトに達した時点で残りのデータがB面側に順次格納される。また、上位アドレス側（奇数アドレス側）の02Hはカウントであり、以降3バイト（ $2 + 1 = 3$ ）のデータ（98H、B0H、F2H）が繰り返さずにそのまま展開され、ラインバッファ281のB面側に順次格納される（転送S19～S20）。

【0077】

一方、ラインバッファ281のA面側に1ラインバイト数、つまり16バイトの展開後の記録データが蓄積された時点で（転送S18の時点）、16バイトを1ラインのデータブロックとして、ローカルメモリ29へ1ワードずつDMA転送する。その際、L-DMAコントローラ413は（図6）、1ラインの展開後の記録データを全てローカルメモリ29へDMA転送し終えるまでローカルバスLBを占有してバースト転送する（転送D3）。ローカルメモリ29へ転送された1ライン分の記録データは、ローカルメモリ29の所定のビットマップエリア内に、偶数アドレスを先頭にして下位アドレスから1ワードずつ順次格納されていく（図9（c））。

【0078】

つづいて、デコード回路28にDMA転送される圧縮された記録データは、ABH、03Hである（転送S21）。下位アドレス側（偶数アドレス側）のAB

Hはデータであり、その前のカウントFCH（転送S20の上位アドレス側）のデータである。したがって、ABHが5回（ $257 - 252 = 5$ ）繰り返して展開され、ラインバッファ281のB面側に順次格納される。また、上位アドレス側（奇数アドレス側）の03Hはカウントであり、以降4バイト（ $3 + 1 = 4$ ）のデータ（FFH、FEH、FCH、FDH）が繰り返さずにそのまま展開され、ラインバッファ281のB面側に順次格納される（転送S22～S23）。

【0079】

つづいて、デコード回路28にDMA転送される圧縮された記録データは、FEH、FFHである（転送S24）。下位アドレス側（偶数アドレス側）のFEHはカウントであり、上位アドレス側（奇数アドレス側）のFFHは、カウントFEHのデータである。したがって、FFHが3回（ $257 - 254 = 3$ ）繰り返して展開され、ラインバッファ281のB面側に順次格納される。ラインバッファ281のB面側に1ラインバイト数、つまり16バイトの展開後の記録データが蓄積された時点で（転送S24の時点）、16バイトを1ラインのデータブロックとして、ローカルメモリ29へ1ワードずつDMA転送する。その際、L-DMAコントローラ413は（図6）、1ラインの展開後の記録データを全てローカルメモリ29へDMA転送し終えるまでローカルバスLBを占有してバースト転送する（転送D4）。

【0080】

ローカルメモリ29へ転送された1ライン分の記録データは、ローカルメモリ29の所定のビットマップエリア内に、偶数アドレスを先頭にして下位アドレスから1ワードずつ順次格納されていく（図9（d））。そして、1回の主走査パスでインクを噴射するビットマップデータ分の記録データがローカルメモリ29に格納された時点で、ローカルメモリ29から記録ヘッド62へDMA転送される。その際、I-DMAコントローラ415は（図6）、1回の主走査パスでインクを噴射するビットマップデータ分の記録データを全てヘッド制御部33へDMA転送し終えるまでローカルバスLBを占有してバースト転送する。

【0081】

このようにして、従来プログラムによって圧縮された記録データをソフトウェ

ア展開していた処理を、デコード回路 28 によってハードウェア展開することによって、圧縮された記録データの展開処理を高速に実行することができる。また、従来プログラムによって 1 バイトずつ展開していた圧縮された記録データをワード単位（2 バイト）で展開していくので、圧縮された記録データの展開処理をより高速に実行することができる。そして、システムバス SB とローカルバス LB との 2 つの独立したバスと、ローカルバス LB に接続されたローカルメモリ 29 とを備えた構成によって、システムバス SB 側と非同期にローカルバス LB 側でローカルメモリ 29 から記録ヘッド 62 へのデータ転送を実行することができる。それによって、MPU 24 から ROM 21 や RAM 22 へのアクセス等により、記録ヘッド 62 への記録データのデータ転送が中断され、記録データの転送遅延が生じて記録実行速度が低下してしまうことがない。さらに、DMA 転送によってさらに高速なデータ転送が可能になる。

【0082】

したがって、圧縮された記録データの高速な展開処理と、記録ヘッド 62 への高速なデータ転送とを実現することができるので、インクジェット式記録装置 50 の記録実行速度を従来と比較して飛躍的に高速化することができる。ちなみに、従来技術においては 1 M バイト／秒前後だった記録ヘッド 62 へのデータ転送速度は、本願発明に係るデータ転送装置 10 によって、8 ～ 10 M バイト／秒にまで高速化することが可能になる。尚、記録ヘッド 62 のデータ処理能力が低いと、いくら高速なデータ転送を行っても記録ヘッド 62 のデータ処理能力の記録実行速度しか得られないので、十分処理の高い記録ヘッド 62 を配設する必要があるのは言うまでもないことである。

【0083】

また、本願発明に係るインクジェット式記録装置 50 の第 2 実施例としては、上述した第 1 実施例に加えて、DECU 41 からローカルメモリ 29 へ展開後の記録データを DMA 転送して所定のビットマップエリアへ格納する際に、ビットマップエリアの下位アドレスから順番に格納する（横方向へ格納する）のではなく、記録ヘッド 62 にとって都合の良いデータ配列となるように 1 ラインのデータを縦方向に変換して格納していくものが挙げられる。

【0084】

図10は、展開後の記録データがラインバッファ281からローカルメモリ29へ転送されて格納されるまでを模式的に示したものであり、1ラインのデータが縦方向に変換されて格納される状態を示したものである。

【0085】

DMA転送先であるローカルメモリ29のビットマップエリアにおいて、1ラインのデータが縦方向に配置されて格納されるように、DECU41内部の展開処理コントローラ412（図6）にて、ラインバッファ281に格納されている展開後の記録データに1ワード毎に、転送先アドレスを個別に設定する。そして、DECU41内部のL-DMAコントローラ413（図6）は、その個別の転送先アドレスをDMA転送の転送先アドレスに設定して、ラインバッファ281に格納されている展開後の記録データを1ワードずつローカルメモリ29へDMA転送する（データ並び替え手段）。

【0086】

このように、ラインバッファ281から1ライン（16バイト）の記録データをローカルメモリ29へDMA転送する際に、DECU41の内部で展開後の記録データの並び替えを行うことによって、従来のようにプログラムで1バイトずつ順番にメモリ内のデータの並び替えを行うのと比較して、必要な記録データの並び替えを瞬時に行うことができるので、記録データの並び替えを高速に行うことができる。

【0087】

さらに、本願発明に係るインクジェット式記録装置50の第3実施例としては、上述した第1実施例、又は第2実施例に加えて、受信バッファ部42に格納されているランレングス圧縮された記録データのデータ開始アドレスが奇数アドレスである場合には、受信バッファ部42からデコード回路28へDMA転送されるランレングス圧縮データの先頭データを含むワードデータの先頭1バイトのデータを無効にする無効データマスク処理手段を備えたものが挙げられる。

【0088】

図11及び図12は、圧縮された記録データがデコード回路28でハードウェ

ア展開され、ラインバッファ 281 へ格納されるまでを模式的に示したものであり、圧縮された記録データのデータ開始アドレスが奇数アドレスとなっている場合を示したものである。

【0089】

受信バッファ部 42（メインメモリ）に格納されているランレングス圧縮された記録データの先頭のバイトデータ（FEH）は、先頭のワードデータの上位アドレス（奇数アドレス）に格納されている。つまり、この先頭のバイトデータを含むワードデータの下位アドレス（偶数アドレス）には、記録データとは無関係なデータ（AAH）が格納されている。しかし、受信バッファ部 42 からデコード回路 28 へ 1 ワードずつ DMA 転送すると、偶数アドレスを先頭にして転送することしかできない。したがって、ランレングス圧縮された記録データの先頭のワードデータをそのままデコード回路 28 にてハードウェア展開して処理してしまうと、記録データとは無関係なデータが含まれた状態で展開されてしまうことになり、圧縮された記録データを正しく展開することができなくなってしまう。

【0090】

そこで、展開処理コントローラ 412（図 6）において、先頭のバイトデータを含むワードデータの下位アドレス（偶数アドレス）の無関係なバイトデータをマスクして無効にしてからデコード回路 28 にて展開する。つまり、そのままデコード回路 28 にて先頭の 1 ワードを展開すると、AAH がカウントで FEH がデータになってしまうが、無関係なデータである AAH を無効にすることによって、FEH をカウントとして正しく展開していくことができる。

【0091】

次にデコード回路 28 に DMA 転送される圧縮された記録データは、01H、03H である（転送 S31）。下位アドレス側（偶数アドレス側）の 01H はデータであり、その前のカウント FEH のデータである。したがって、01H が 3 回（ $257 - 254 = 3$ ）繰り返して展開され、ラインバッファ 281 の A 面側に順次格納される。また、上位アドレス側（奇数アドレス側）の 03H はカウントであり、以降 4 バイト（ $3 + 1 = 4$ ）のデータ（02H、78H、55H、44H）が繰り返さずにそのまま展開され、ラインバッファ 281 の A 面側に順次

格納される（転送 S 3 2 ～ S 3 3）。以下、第 1 実施例と同様の手順でランレングス圧縮された記録データが 1 ワードずつ展開されてラインバッファ 2 8 1 に順次格納され（転送 S 3 2 ～ S 5 4）、1 ラインバイト数（1 6 バイト）の展開後の記録データが蓄積された時点でローカルメモリ 2 9 へ DMA 転送される（転送 D 1 ～ D 4）。尚、受信バッファ部 4 2 に格納されているランレングス圧縮された記録データのデータ開始アドレスが、奇数アドレスか否かは、例えば MPU 2 4 にて実行されるファームウェアプログラム等で判定すれば良い。

【0092】

このようにして、受信バッファ部 4 2 に格納されているランレングス圧縮された記録データのデータ開始アドレスが奇数アドレスであっても、ランレングス圧縮された記録データの先頭から正確にデコード回路 2 8 にてハードウェア展開することができる。

【0093】

さらに、本願発明に係るインクジェット式記録装置 5 0 の第 4 実施例としては、上述した第 1 実施例～第 3 実施例に加えて、1 ラインバイト数を奇数バイトとしたものが挙げられる。

【0094】

図 1 3 及び図 1 4 は、圧縮された記録データがデコード回路 2 8 でハードウェア展開され、ラインバッファ 2 8 1 へ格納されるまでを模式的に示したものであり、前述した第 1 実施例又は第 2 実施例において、1 ラインバイト数を 1 5 バイトとした場合を示したものである。また、図 1 5 は、第 4 実施例において、展開後の記録データがラインバッファ 2 8 1 からローカルメモリ 2 9 へ転送されてライン縦並び変換されて格納されるまでを模式的に示したものであり、図 1 6 は、ライン縦並び変換されずに格納されるまでを模式的に示したものである。

【0095】

前述したように、展開後の記録データは、ラインバッファ 2 8 1 からローカルメモリ 2 9 へ 1 ワードずつ DMA 転送されるので、ローカルメモリ 2 9 のビットマップエリアへ展開後の記録データの格納も 1 ワードずつ行われ、DECU 4 1 からローカルメモリ 2 9 へ奇数バイトの記録データを DMA 転送することができ

ない。そこで、展開処理コントローラ 412 (図 6) において、ラインバッファ 281 の 1 ラインバイト数を奇数バイト、当該実施例においては 15 バイトに設定し、ラインバッファ 281 の A 面側、又は B 面側に 15 バイトの展開後の記録データが蓄積された時点で、ローカルメモリ 29 へ DMA 転送する。したがって、15 バイト目の記録データが含まれるワードデータの上位アドレス側 (奇数アドレス側) は 00H の状態で DMA 転送されることになる (データ格納終了位置シフト手段)。

【0096】

転送 S61 ~ S64 までは、第 1 実施例 (図 7) の転送 S1 ~ S4 と同じなので説明は省略する。つづいて、デコード回路 28 に DMA 転送される圧縮された記録データは、FFH、FFH である (転送 S65)。下位アドレス側 (偶数アドレス側) の FFH はデータであり、その前のカウント FBH のデータである。したがって、FFH が 6 回 ($257 - 251 = 6$) 繰り返して展開され、ラインバッファ 281 の A 面側に順次格納される。また、上位アドレス側 (奇数アドレス側) の FFH はカウントであり、次のデータが 2 回 ($257 - 255 = 2$) 繰り返して展開され、ラインバッファ 281 の A 面側に順次格納されることになる。

【0097】

つづいて、デコード回路 28 に DMA 転送される圧縮された記録データは、11H、06H である (転送 S66)。下位アドレス側 (偶数アドレス側) の 11H はデータであり、その前のカウント FFH のデータである。したがって、FFH が 2 回繰り返して展開され、ラインバッファ 281 の A 面側に順次格納される。また、上位アドレス側 (奇数アドレス側) の 06H は、カウントであり、以降 7 バイト ($6 + 1 = 7$) のデータ (66H、12H、77H、45H、89H、10H、55H) が繰り返さずにそのまま展開され、ラインバッファ 281 の B 面側に順次格納される (転送 S67 ~ S70)。

【0098】

一方、ラインバッファ 281 の A 面側に 1 ラインバイト数、つまり 15 バイトの展開後の記録データが蓄積された時点で (転送 S66 の時点)、15 バイトを

1ラインのデータブロックとして、ローカルメモリ29へ1ワードずつDMA転送する。その際、L-DMAコントローラ413は（図6）、1ラインの展開後の記録データを全てローカルメモリ29へDMA転送し終えるまでローカルバスLBを占有してバースト転送する（転送D1）。ローカルメモリ29へ転送された1ライン分の記録データは、ローカルメモリ29の所定のビットマップエリア内に、偶数アドレスを先頭にして下位アドレスから1ワードずつ、前述したデータ並び替え手段によってライン縦並び変換されて格納されていく（図15（a））。また、ライン縦並び変換しなければ、そのまま順次格納されていく（図16（a））。以下、同様にしてランレングス圧縮された記録データをデコード回路28にてハードウェア展開していき（転送S71～S84）、ラインバッファ281に1ライン分15バイトの展開後の記録データが蓄積された時点でローカルメモリ29へDMA転送する（転送D2～D4）。

【0099】

図17及び図18は、圧縮された記録データがデコード回路28でハードウェア展開され、ラインバッファ281へ格納されるまでを模式的に示したものであり、前述した第3実施例において、1ラインバイト数を15バイトとした場合を示したものである。

【0100】

転送S91～S94までは、第2実施例（図11）の転送S31～S34と同じなので説明は省略する。つづいて、デコード回路28にDMA転送される圧縮された記録データは、FFH、11Hである（転送S95）。下位アドレス側（偶数アドレス側）のFFHはカウントであり、上位アドレス側（奇数アドレス側）の11Hはデータである。したがって、11Hが2回（ $257 - 255 = 2$ ）繰り返して展開され、ラインバッファ281のA面側に順次格納される。

【0101】

そして、ラインバッファ281のA面側に1ラインバイト数、つまり15バイトの展開後の記録データが蓄積された時点で（転送S95の時点）、15バイトを1ラインのデータブロックとして、ローカルメモリ29へ1ワードずつDMA転送される。その際、L-DMAコントローラ413は（図6）、1ラインの展

開後の記録データを全てローカルメモリ 29へDMA転送し終えるまでローカルバスLBを占有してバースト転送する（転送D1）。ローカルメモリ 29へ転送された1ライン分の記録データは、ローカルメモリ 29の所定のビットマップエリア内に、偶数アドレスを先頭にして下位アドレスから1ワードずつ、前述したデータ並び替え手段によってライン縦並び変換されて格納されていく（図15（a））。また、ライン縦並び変換しなければ、そのまま順次格納されていく（図16（a））。以下、同様にしてランレングス圧縮された記録データは、デコード回路28にてハードウェア展開され（転送S71～S84）、ラインバッファ281に1ライン分15バイトの展開後の記録データが蓄積された時点でローカルメモリ 29へDMA転送される（転送D2～D4）。

【0102】

このようにして、ラインバッファ281に奇数バイトの展開後の記録データが蓄積された時点でローカルメモリ 29へDMA転送することによって、最後のワードデータの上位アドレス側が00Hの状態転送されるので、ローカルメモリ 29のビットマップエリアに格納された展開後の記録データは、図15（d）及び図16（d）に示したように、1ラインの最後の1バイトが00Hとなり、1ラインの記録データをデータ開始アドレスが偶数アドレスで奇数バイトとなるように、記録データをローカルメモリ 29のビットマップエリアに格納していくことができる。

【0103】

さらに、本願発明に係るインクジェット式記録装置50の第5実施例としては、上述した第2実施例～第4実施例のいずれかに加えて、1ラインの記録データをデータ開始アドレスが奇数アドレスとなるように、記録データをローカルメモリ 29のビットマップエリアに格納するものが挙げられる。

【0104】

記録ヘッド62のヘッド面に複数並んで配設されているノズル列は、ノズル列毎に噴射するインクの色が決まっている。一方、ローカルメモリ 29のビットマップエリアに格納されている記録データは、ライン毎に各ノズル列に対応したインク色毎のデータとなっている。そして、そのノズル列の間隔によるインク噴射

タイミングのずれを補正する手段において、先頭アドレスを奇数アドレスにして 1 ラインの記録データをローカルメモリ 29 のビットマップエリアに格納する必要がある場合がある。

【0105】

しかし、前述したように、受信バッファ部 42 からデコード回路 28 へ 1 ワードずつ DMA 転送することによって、ローカルメモリ 29 のビットマップエリアへ展開後の記録データは常に偶数アドレスを先頭にして格納されるので、そのままでは奇数アドレスを先頭にして記録データを格納することができない。そこで、展開処理コントローラ 412 (図 6) において、デコード回路 28 にて展開した記録データをラインバッファ 281 に格納する際に、ラインバッファ 281 の 0 バイト目を空けた状態で、1 バイト目から格納していく (データ格納開始位置シフト手段)。つまり、デコードユニット 28 において、圧縮された記録データの展開処理した後、展開後の記録データをラインバッファ 281 に格納する際に、ラインバッファ 281 の 0 バイト目を空けた状態で 1 バイト目から格納し、ラインバッファ 281 に格納された展開後の記録データをラインバッファ 281 の 0 バイト目からローカルメモリ 29 のビットマップエリアへ DMA 転送する。

【0106】

図 19 及び図 20 は、圧縮された記録データがデコード回路 28 でハードウェア展開され、ラインバッファ 281 へ格納されるまでを模式的に示したものであり、前述した第 2 実施例において、ラインバッファ 281 の 0 バイト目を空の状態のまま 1 バイト目から展開後の記録データを展開するようにした場合を示したものである。また、図 21 は、1 ライン 16 バイトの展開後の記録データがラインバッファ 281 からローカルメモリ 29 へ転送され、ライン縦並び変換されて奇数アドレスを先頭にして格納されるまでを模式的に示したものである。

【0107】

前述したように、ラインバッファ 281 は、A 面及び B 面とも 8 ワード (16 バイト) 分の格納エリアに加えて、1 ワード (2 バイト) の予備格納エリアを備えている。デコード回路 28 にて 1 ワードずつ展開された記録データは、ラインバッファ 281 の A 面側の 0 バイト目が空のままの状態、1 バイト目から格納

されていく。そして、0 バイト目を空にしたことによって格納エリアからはみ出してしまう 16 バイト目の記録データが予備格納エリアへ格納される。

【0108】

ラインバッファ 281 の A 面側に 16 バイトの展開後の記録データが蓄積された時点で 16 バイト分の格納エリアと予備格納エリアとの計 18 バイト（9 ワード）分の記録データが 1 ラインのデータブロックとして、ローカルメモリ 29 へ 1 ワードずつ DMA 転送される。その際、L-DMA コントローラ 413 は（図 6）、1 ラインの展開後の記録データを全てローカルメモリ 29 へ DMA 転送し終わるまでローカルバス LB を占有してバースト転送する（転送 D1）。ローカルメモリ 29 へ転送された 1 ライン分の記録データは、ローカルメモリ 29 の所定のビットマップエリア内に、偶数アドレスを先頭にして下位アドレスから 1 ワードずつ、前述したデータ並び替え手段によってライン縦並び変換されて格納されていく（図 21（a））。したがって、先頭に 1 バイトの空データが付加された状態でローカルメモリ 29 へ DMA 転送されてビットマップエリアの偶数アドレスに格納されるので、1 ラインの記録データは、先頭のデータが奇数アドレスから格納された状態となる。

【0109】

以下、同様にしてランレングス圧縮された記録データをデコード回路 28 にてハードウェア展開していき、ラインバッファ 281 に 1 ライン分 16 バイトの展開後の記録データが蓄積された時点でローカルメモリ 29 へ DMA 転送する（転送 D2～D4）。尚、転送 S121～S144 の説明は、図 7 に示した転送 S1～S24 の説明と同様なので省略する。

【0110】

このようにして、デコード回路 28 にて 1 ワードずつ展開された記録データは、ラインバッファ 281 の A 面側の 0 バイト目が空のままの状態、1 バイト目から格納されていき、16 バイトの展開後の記録データが格納された時点でローカルメモリ 29 へ DMA 転送することによって、最初のワードデータの下位アドレス側が 00H の状態で転送されるので、ローカルメモリ 29 のビットマップエリアに格納された展開後の記録データは、図 21（d）に示したように、1 ライ

ンの最初の1バイトが00Hとなり、1ラインの記録データをデータ開始アドレスが奇数アドレスとなるように、記録データをローカルメモリ29のビットマップエリアに格納していくことができる。

【0111】

また、図22及び図23は、圧縮された記録データがデコード回路28でハードウェア展開され、ラインバッファ281へ格納されるまでを模式的に示したものであり、前述した第4実施例において、ラインバッファ281の0バイト目を空の状態のまま1バイト目から展開後の記録データを展開するようにした場合を示したものである。また、図24は、1ライン15バイトの展開後の記録データがラインバッファ281からローカルメモリ29へ転送され、ライン縦並び変換されて奇数アドレスを先頭にして格納されるまでを模式的に示したものである。

【0112】

このように、1ラインバイト数を15バイト、つまり奇数バイトとすることもできる。したがって、図24(d)に示したように、1ラインの最初の1バイトが00Hとなり、1ライン15バイトの記録データをデータ開始アドレスが奇数アドレスとなるようにローカルメモリ29のビットマップエリアに格納していくことができる。

【0113】

また、図25及び図26は、圧縮された記録データがデコード回路28でハードウェア展開され、ラインバッファ281へ格納されるまでを模式的に示したものであり、前述した第3実施例において、ラインバッファ281の0バイト目を空の状態のまま1バイト目から展開後の記録データを展開し、1ラインの記録データを16バイトとした場合を示したものである。同様に、図27及び図28は、前述した第3実施例において、ラインバッファ281の0バイト目を空の状態のまま1バイト目から展開後の記録データを展開し、1ラインの記録データを15バイトとした場合を示したものである。

【0114】

このように、受信バッファ部42に奇数アドレスを先頭にして格納されている圧縮された記録データを、デコード回路28にて展開した後、1ライン16バイ

ト、又は15バイトの記録データをローカルメモリ29のビットマップエリアに奇数アドレスを先頭にして格納することもできる。

【0115】

さらに、本願発明に係るインクジェット式記録装置50の第6実施例としては、上述した第1実施例～第5実施例のいずれかに加えて、展開後の記録データをローカルメモリ29の異なる2つのビットマップエリアへ格納するものが挙げられる。図29は、1ライン16バイトの展開後の記録データがラインバッファ281からローカルメモリ29へ転送され、ライン縦並び変換されて偶数アドレスを先頭にして異なる2つのビットマップエリアへ格納されるまでを模式的に示したものである。

【0116】

展開後のビットマップデータにおける副走査方向Yのドット間隔が、副走査方向Yの隣接するノズルアレイの間隔より小さい場合には、副走査方向Yに隣接するインクドットを1回の主走査で同時に形成することができないので、異なる主走査動作時に形成することになる。しかし、デコード回路28にて展開したビットマップデータは、副走査方向Yに隣接して形成されるインクドットデータが連続して並んでいるデータ構成となっているので、展開後のビットマップデータをそのまま記録ヘッド62に転送して記録することができない。そのため、副走査方向Yに隣接するインクドットデータを異なるビットマップエリアに格納して異なる主走査時に記録ヘッド62に転送できるように展開後のビットマップデータを分割する必要がある。

【0117】

そこで、あらかじめローカルメモリ29内に2つの異なるビットマップエリアを設ける。ここでは、それぞれイメージ1、イメージ2とする。DMA転送先であるローカルメモリ29のビットマップエリアにおいて、1ラインのデータがイメージ1とイメージ2とに交互に格納されるように、展開処理コントローラ412（図6）にてラインバッファ281に格納されている展開後の記録データに1ワード毎に、転送先アドレスを個別に設定する。そして、DECU41内部のL-DMAコントローラ413（図6）は、その個別の転送先アドレスをDMA転

送の転送先アドレスに設定して、ラインバッファ 281 に格納されている展開後の記録データを 1 ワードずつローカルメモリ 29 へ DMA 転送する（データ分割手段）。

【0118】

まず、ラインバッファ 281 の A 面側に 1 ライン分 16 バイトの展開後の記録データが蓄積された時点で 1 ライン分の記録データがローカルメモリ 29 へ DMA 転送され（転送 D1）、イメージ 1 へ格納される（図 29（a））。つづいて、ラインバッファ 281 の B 面側に 1 ライン分 16 バイトの展開後の記録データが蓄積された時点で 1 ライン分の記録データがローカルメモリ 29 へ DMA 転送され（転送 D2）、イメージ 2 へ格納される（図 29（b））。つづいて、ラインバッファ 281 の A 面側に 1 ライン分 16 バイトの展開後の記録データが蓄積された時点で 1 ライン分の記録データがローカルメモリ 29 へ DMA 転送され（転送 D3）、イメージ 1 へ格納される（図 29（c））。そして、ラインバッファ 281 の B 面側に 1 ライン分 16 バイトの展開後の記録データが蓄積された時点で 1 ライン分の記録データがローカルメモリ 29 へ DMA 転送され（転送 D4）、イメージ 2 へ格納される（図 29（d））。

【0119】

このようにして、圧縮された記録データを展開処理した後、ラインバッファ 281 に格納されている展開後の記録データを、副走査方向 Y に隣接するインクドットが、それぞれ異なる主走査時に形成されるように、展開された記録データを 1 ライン分ずつローカルメモリ 29 の異なるビットマップエリアへ DMA 転送する。それによって、圧縮された記録データの展開処理（デコード回路 28）と展開後の記録データの分割（展開処理コントローラ 412）とをハードウェア処理によって高速に行うことができる。また、図 30 は、1 ライン 16 バイトの展開後の記録データがラインバッファ 281 からローカルメモリ 29 へ転送され、ライン縦並び変換されずにそのまま偶数アドレスを先頭にして異なる 2 つのビットマップエリアへ格納されるまでを模式的に示したものである。

【0120】

また、図 31 は、1 ライン 15 バイトの展開後の記録データがラインバッファ

281 からローカルメモリ 29 へ転送され、ライン縦並び変換されて偶数アドレスを先頭にして異なる 2 つのビットマップエリアへ格納されるまでを模式的に示したものである。図 3 2 は、1 ライン 15 バイトの展開後の記録データがラインバッファ 281 からローカルメモリ 29 へ転送され、ライン縦並び変換されずにそのまま偶数アドレスを先頭にして異なる 2 つのビットマップエリアへ格納されるまでを模式的に示したものである。

【0121】

このように、1 ラインバイト数を奇数バイトとして、ラインバッファ 281 に奇数バイトの展開後の記録データが格納された時点でローカルメモリ 29 へ DMA 転送することによって、1 ライン分の記録データは、最後のワードデータの上位アドレス側が 00H の状態で転送される。したがって、ローカルメモリ 29 のビットマップエリアに格納された展開後の記録データは、1 ラインの最後の 1 バイトが 00H となり、1 ラインの記録データは、データ開始アドレスが偶数アドレスで奇数バイトとなるように、イメージ 1 とイメージ 2 との 2 つの異なるビットマップエリアへライン毎にそれぞれ格納される。

【0122】

また、図 3 3 は、1 ライン 16 バイトの展開後の記録データがラインバッファ 281 からローカルメモリ 29 へ転送され、ライン縦並び変換されて奇数アドレスを先頭にして異なる 2 つのビットマップエリアへ格納されるまでを模式的に示したものである。図 3 4 は、1 ライン 15 バイトの展開後の記録データがラインバッファ 281 からローカルメモリ 29 へ転送され、ライン縦並び変換されて奇数アドレスを先頭にして異なる 2 つのビットマップエリアへ格納されるまでを模式的に示したものである。

【0123】

このように、デコード回路 28 にて 1 ワードずつ展開された記録データは、ラインバッファ 281 の A 面側の 0 バイト目が空のままの状態、1 バイト目から格納されていき、16 バイトの展開後の記録データが格納された時点でローカルメモリ 29 へ DMA 転送することによって、最初のワードデータの下位アドレス側が 00H の状態で転送されるので、ローカルメモリ 29 のビットマップエリア

に格納された展開後の記録データは、1ラインの最初の1バイトが00Hとなり、1ラインの記録データをデータ開始アドレスが奇数アドレスとなるように、イメージ1とイメージ2との2つの異なるビットマップエリアへライン毎にそれぞれ格納される。

【0124】

さらに、本願発明に係るインクジェット式記録装置50の第7実施例としては、前述した第1実施例～第6実施例のいずれかにおいて、受信バッファ部42に格納されている記録データが非圧縮データである場合には、展開処理をせずにビットマップエリアへ格納するものが挙げられる。図35は、非圧縮の記録データがそのままラインバッファ281に格納され、ローカルメモリ29へDMA転送される状態を模式的に示したものである。

【0125】

このように、情報処理装置200等から受信バッファ部42へ転送された記録データが非圧縮のデータである場合には、デコード回路28にて展開処理せずに、そのままラインバッファ281に1ワードずつ格納される。そして、その後は、圧縮された記録データをデコード回路28にて展開した場合と同様に、展開処理コントローラ（図6）において、前述した第2実施例～第6実施例に示したように、1ラインバイト数を16バイト又は15バイトに設定し、記録データの並び替えたり、あるいは、先頭アドレスを奇数アドレスにしてローカルメモリ29へ格納したり、2つの異なるビットマップエリアに格納したりすることができる。

【0126】

尚、本願発明は上記実施例に限定されることなく、特許請求の範囲に記載した発明の範囲内で、種々の変形が可能であり、それらも本願発明の範囲内に含まれるものであることは言うまでもない。

【図面の簡単な説明】

【図1】 本願発明に係るインクジェット式記録装置の平面図である。

【図2】 本願発明に係るインクジェット式記録装置の側面図である。

【図3】 本願発明に係るインクジェット式記録装置のブロック図である。

- 【図 4】 データ転送装置の構成を示したブロック図である。
- 【図 5】 記録データの流れを示したタイミングチャートである。
- 【図 6】 D E C U の構成を示したブロック図である。
- 【図 7】 圧縮データが展開される流れを模式的に示したものである。
- 【図 8】 圧縮データが展開される流れを模式的に示したものである。
- 【図 9】 展開後の記録データを模式的に示したものである。
- 【図 1 0】 展開後の記録データを模式的に示したものである。
- 【図 1 1】 圧縮データが展開される流れを模式的に示したものである。
- 【図 1 2】 圧縮データが展開される流れを模式的に示したものである。
- 【図 1 3】 圧縮データが展開される流れを模式的に示したものである。
- 【図 1 4】 圧縮データが展開される流れを模式的に示したものである。
- 【図 1 5】 展開後の記録データを模式的に示したものである。
- 【図 1 6】 展開後の記録データを模式的に示したものである。
- 【図 1 7】 圧縮データが展開される流れを模式的に示したものである。
- 【図 1 8】 圧縮データが展開される流れを模式的に示したものである。
- 【図 1 9】 圧縮データが展開される流れを模式的に示したものである。
- 【図 2 0】 圧縮データが展開される流れを模式的に示したものである。
- 【図 2 1】 展開後の記録データを模式的に示したものである。
- 【図 2 2】 圧縮データが展開される流れを模式的に示したものである。
- 【図 2 3】 圧縮データが展開される流れを模式的に示したものである。
- 【図 2 4】 展開後の記録データを模式的に示したものである。
- 【図 2 5】 圧縮データが展開される流れを模式的に示したものである。
- 【図 2 6】 圧縮データが展開される流れを模式的に示したものである。
- 【図 2 7】 圧縮データが展開される流れを模式的に示したものである。
- 【図 2 8】 圧縮データが展開される流れを模式的に示したものである。
- 【図 2 9】 展開後の記録データを模式的に示したものである。
- 【図 3 0】 展開後の記録データを模式的に示したものである。
- 【図 3 1】 展開後の記録データを模式的に示したものである。
- 【図 3 2】 展開後の記録データを模式的に示したものである。

【図 33】 展開後の記録データを模式的に示したものである。

【図 34】 展開後の記録データを模式的に示したものである。

【図 35】 非圧縮の記録データが転送される状態を示したものである。

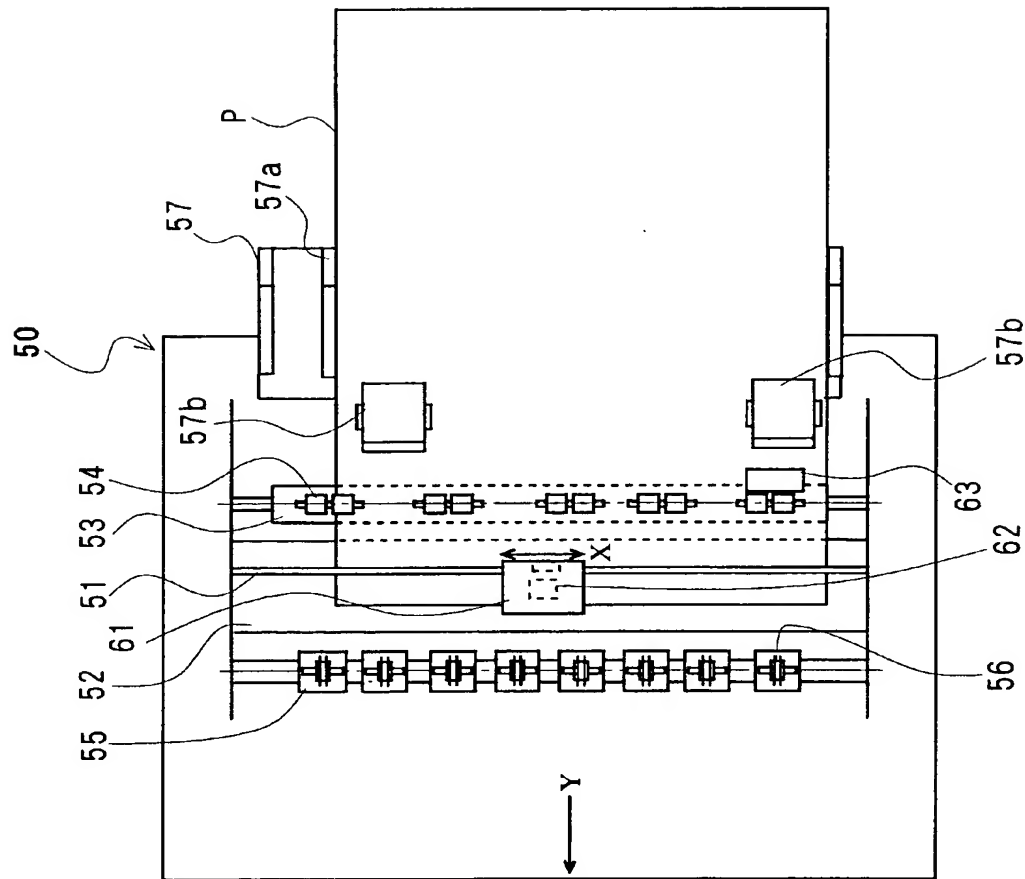
【図 36】 従来技術におけるデータ転送装置を示したブロック図である。

【符号の説明】

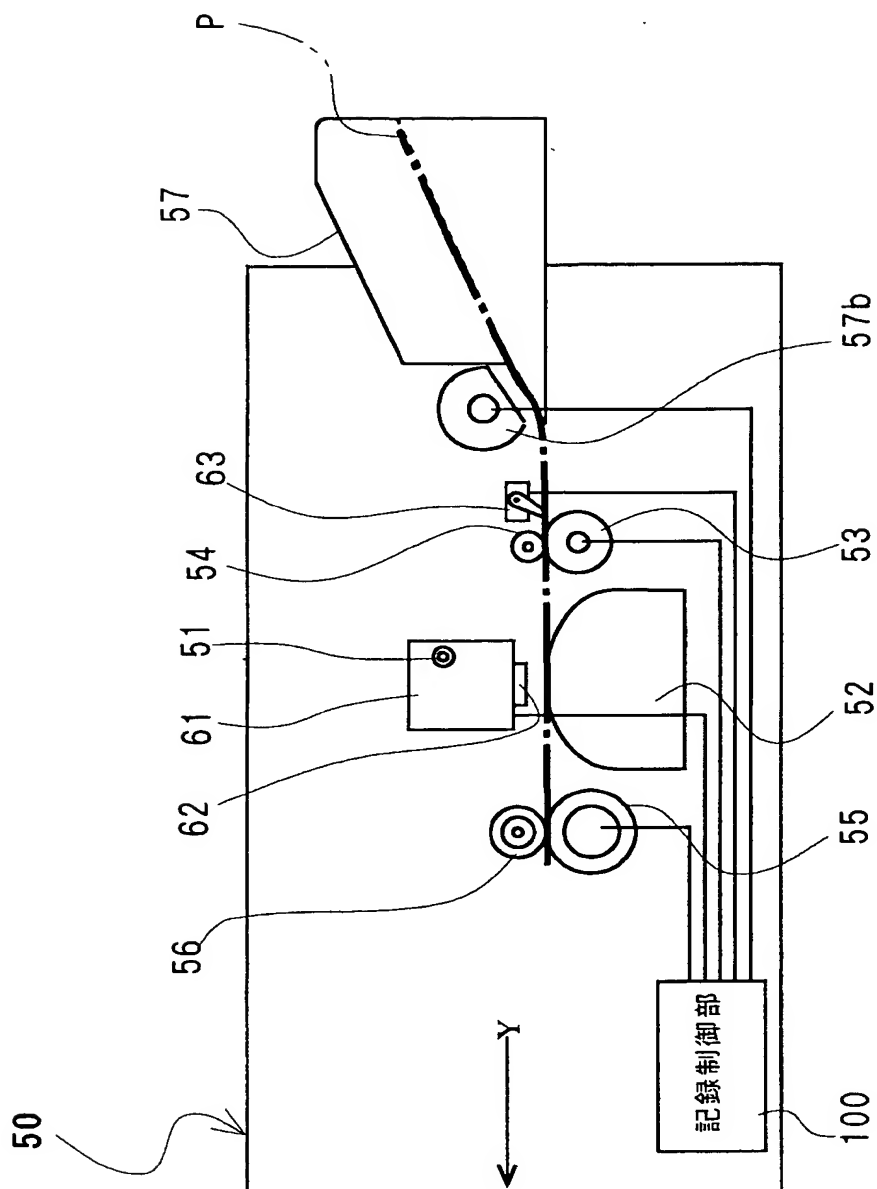
4 ASIC、10 データ転送装置、21 ROM、22 RAM、24 MPU、27 インターフェース部、28 デコード回路、29 ローカルメモリ、33 ヘッド制御部、41 DECU（デコードユニット）、42 受信バッファ部、50 インクジェット式記録装置、51 キャリッジガイド軸、52 プラテン、53 搬送駆動ローラ、54 搬送従動ローラ、55 排紙駆動ローラ、56 排紙従動ローラ、57 給紙トレイ、57b 給紙ローラ、61 キャリッジ、62 記録ヘッド、63 紙検出器、100 記録制御部、200 情報処理装置、281 ラインバッファ、411 S-DMAコントローラ、412 展開処理コントローラ、413 L-DMAコントローラ、414 ローカルメモリコントローラ、415 I-DMAコントローラ、X 主走査方向、Y 副走査方向、SB システムバス、LB ローカルバス、IB 内部バス

【書類名】 図面

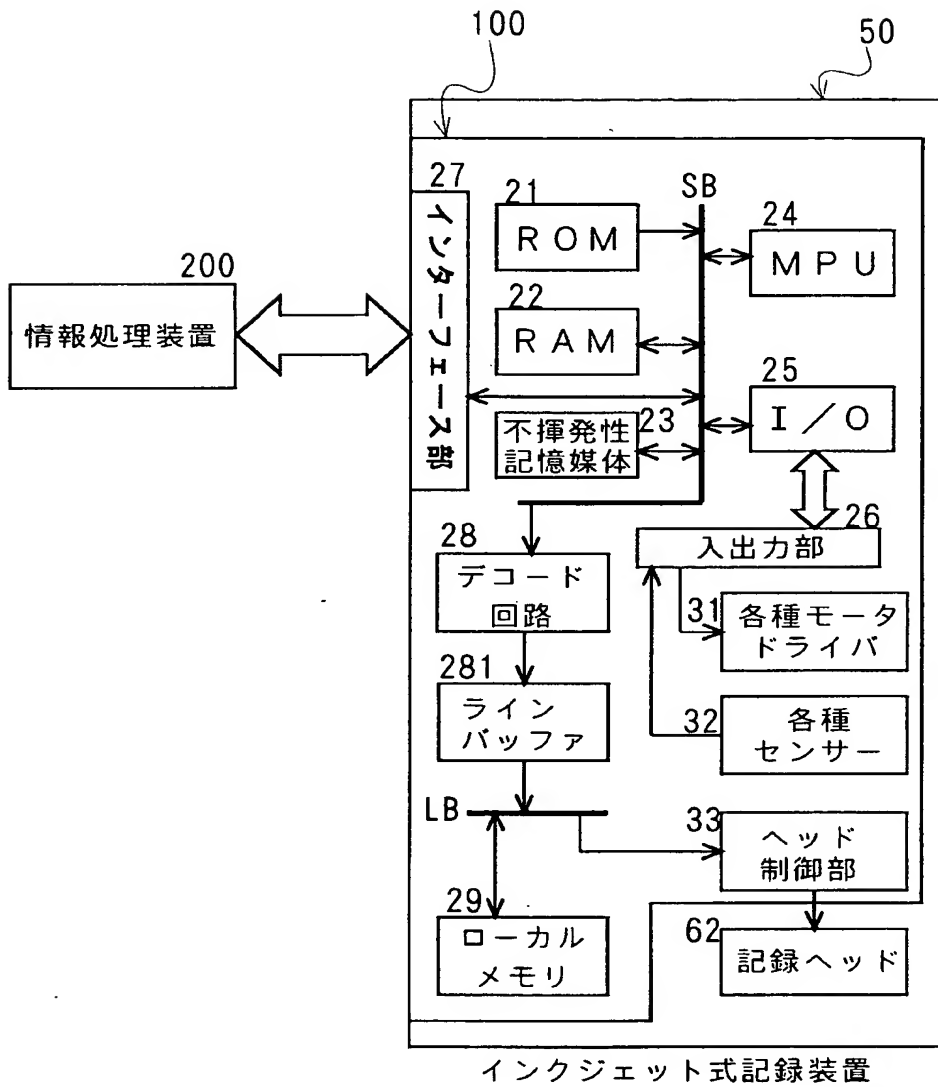
【図 1】



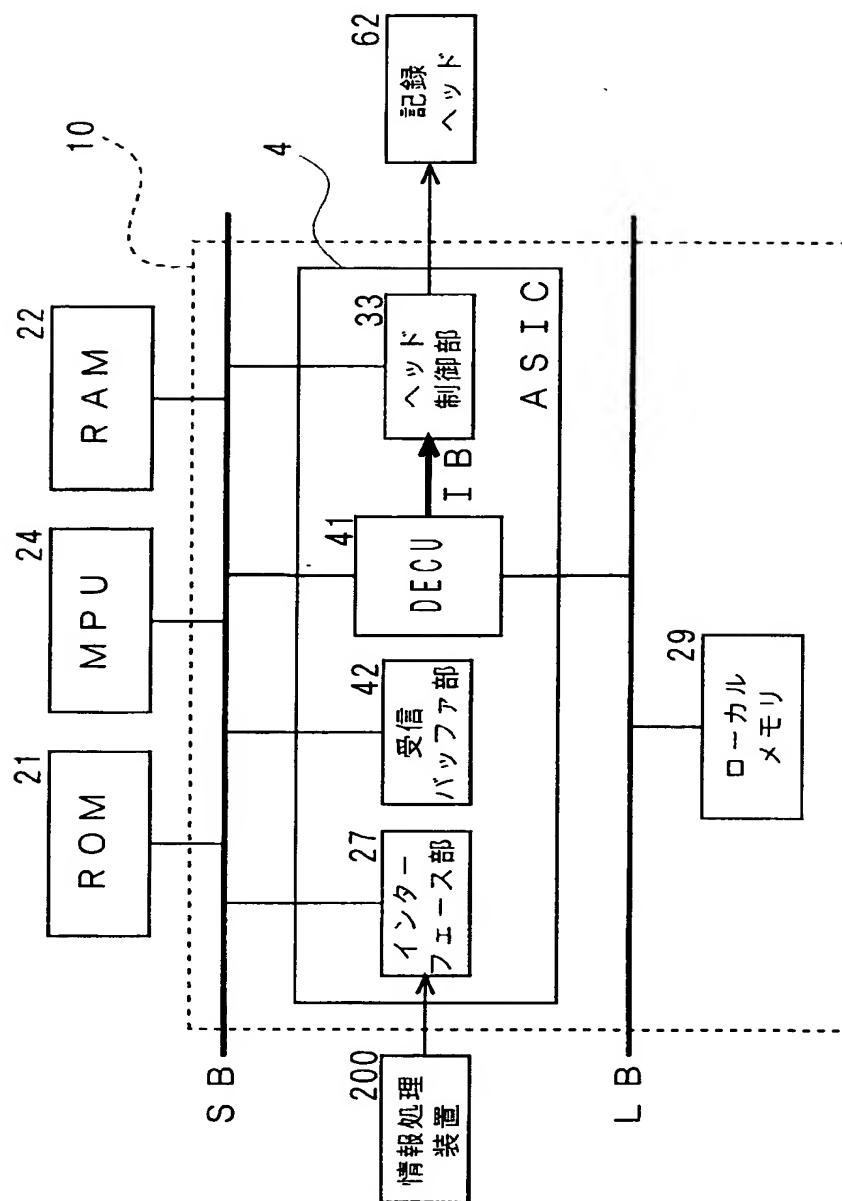
【図 2】



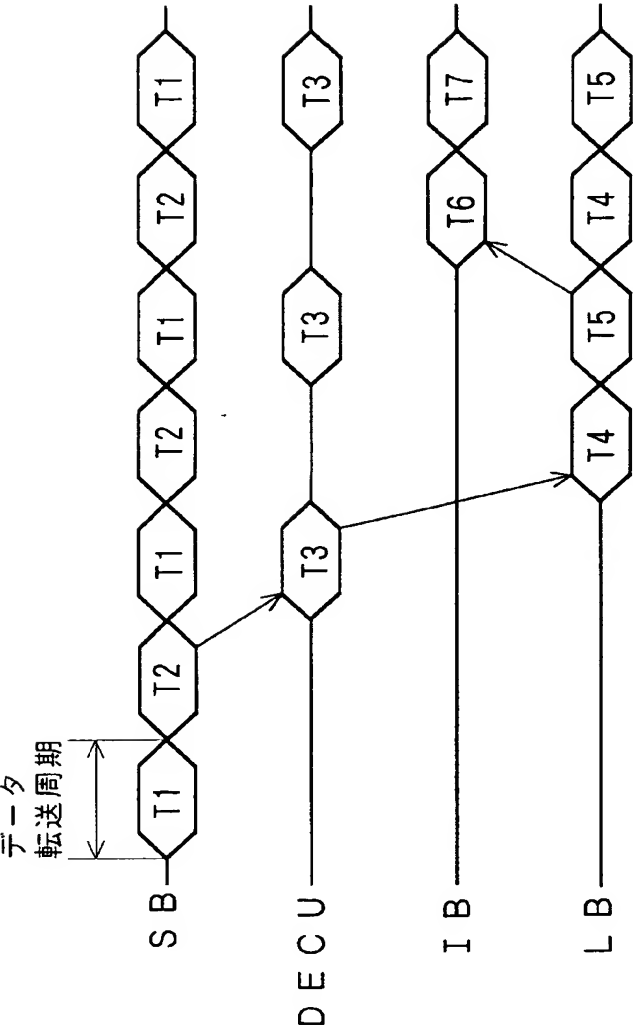
【図 3】



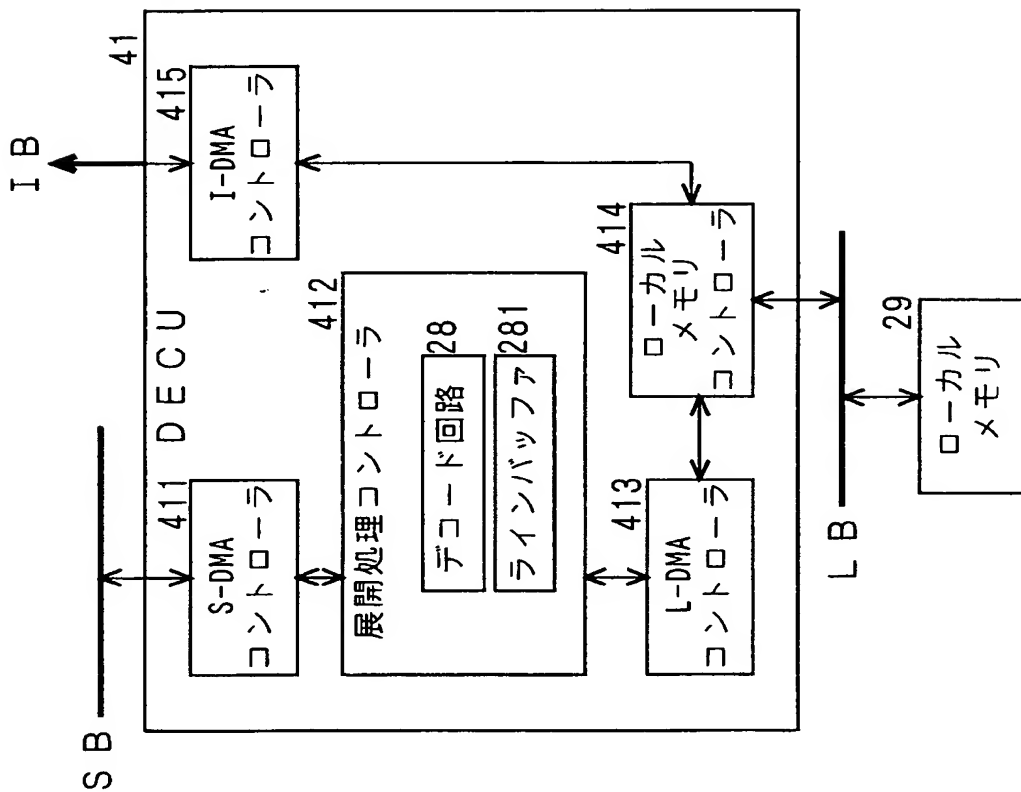
【図 4】



【図 5】



【図 6】



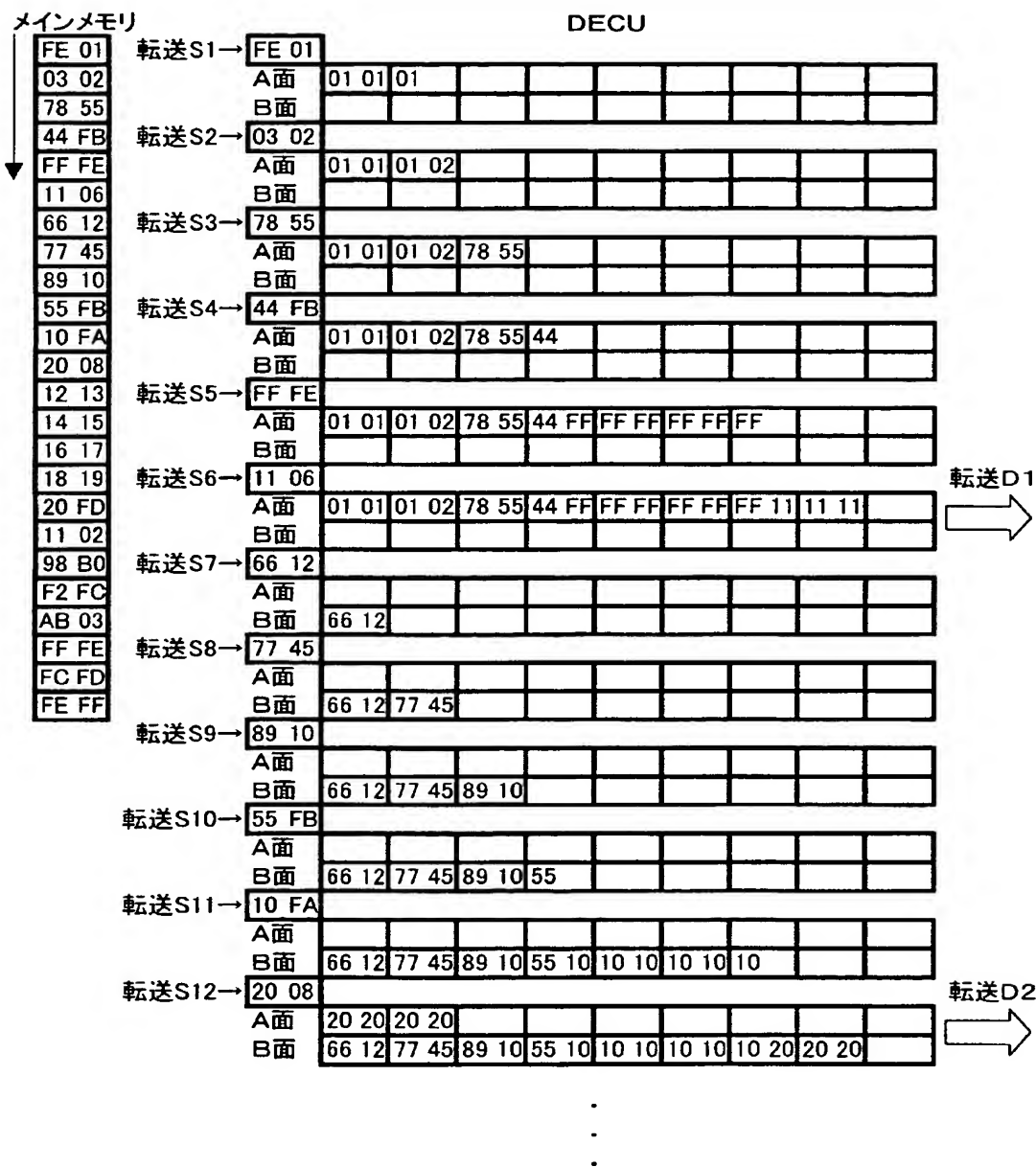
【図 7】

動作条件

メインメモリ側:ランレングスデータの開始アドレス 偶数アドレス

ローカルメモリ側:イメージデータの開始アドレス 偶数アドレス

1ラインバイト数:16バイト



【図 9】

設定条件
 ライン縦並び変換なし
 総展開バイト数: 64 バイト (16 × 4)
 1 ラインバイト数: 16 バイト
 展開ライン数: 4 ライン

ローカルメモリ

(a) D1→

01 01	01 02	78 55	44 FF
FF FF	FF FF	FF 11	11 11
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00

(b) D2→

01 01	01 02	78 55	44 FF
FF FF	FF FF	FF 11	11 11
66 12	77 45	89 10	55 10
10 10	10 10	10 20	20 20
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00

(c) D3→

01 01	01 02	78 55	44 FF
FF FF	FF FF	FF 11	11 11
66 12	77 45	89 10	55 10
10 10	10 10	10 20	20 20
20 20	20 20	12 13	14 15
16 17	18 19	20 11	11 11
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00

(d) D4→

01 01	01 02	78 55	44 FF
FF FF	FF FF	FF 11	11 11
66 12	77 45	89 10	55 10
10 10	10 10	10 20	20 20
20 20	20 20	12 13	14 15
16 17	18 19	20 11	11 11
11 98	B0 F2	ABAE	ABAE
AB FF	FE FC	FD FF	FF FF

【図 1 0】

設定条件
 ライン縦並び変換あり
 総展開バイト数:64バイト(16×4)
 1ラインバイト数:16バイト
 展開ライン数:4ライン

	ローカルメモリ															
	D1 ↓															
(a)	01 01	00 00	00 00	00 00	00 00	...	00 00									
	01 02	00 00	00 00	00 00	00 00	...	00 00									
	78 55	00 00	00 00	00 00	00 00	...	00 00									
	44 FF	00 00	00 00	00 00	00 00	...	00 00									
	FF FF	00 00	00 00	00 00	00 00	...	00 00									
	FF FF	00 00	00 00	00 00	00 00	...	00 00									
	FF 11	00 00	00 00	00 00	00 00	...	00 00									
	11 11	00 00	00 00	00 00	00 00	...	00 00									
	D2 ↓															
(b)	01 01	66 12	00 00	00 00	00 00	...	00 00									
	01 02	77 45	00 00	00 00	00 00	...	00 00									
	78 55	89 10	00 00	00 00	00 00	...	00 00									
	44 FF	55 10	00 00	00 00	00 00	...	00 00									
	FF FF	10 10	00 00	00 00	00 00	...	00 00									
	FF FF	10 10	00 00	00 00	00 00	...	00 00									
	FF 11	10 20	00 00	00 00	00 00	...	00 00									
	11 11	20 20	00 00	00 00	00 00	...	00 00									
	D3 ↓															
(c)	01 01	66 12	20 20	00 00	00 00	...	00 00									
	01 02	77 45	20 20	00 00	00 00	...	00 00									
	78 55	89 10	12 13	00 00	00 00	...	00 00									
	44 FF	55 10	14 15	00 00	00 00	...	00 00									
	FF FF	10 10	16 17	00 00	00 00	...	00 00									
	FF FF	10 10	18 19	00 00	00 00	...	00 00									
	FF 11	10 20	20 11	00 00	00 00	...	00 00									
	11 11	20 20	11 11	00 00	00 00	...	00 00									
	D4 ↓															
(d)	01 01	66 12	20 20	11 98	...	00 00										
	01 02	77 45	20 20	B0 F2	...	00 00										
	78 55	89 10	12 13	ABAE	...	00 00										
	44 FF	55 10	14 15	ABAE	...	00 00										
	FF FF	10 10	16 17	ABFF	...	00 00										
	FF FF	10 10	18 19	FEFC	...	00 00										
	FF 11	10 20	20 11	FDFF	...	00 00										
	11 11	20 20	11 11	FF FF	...	00 00										

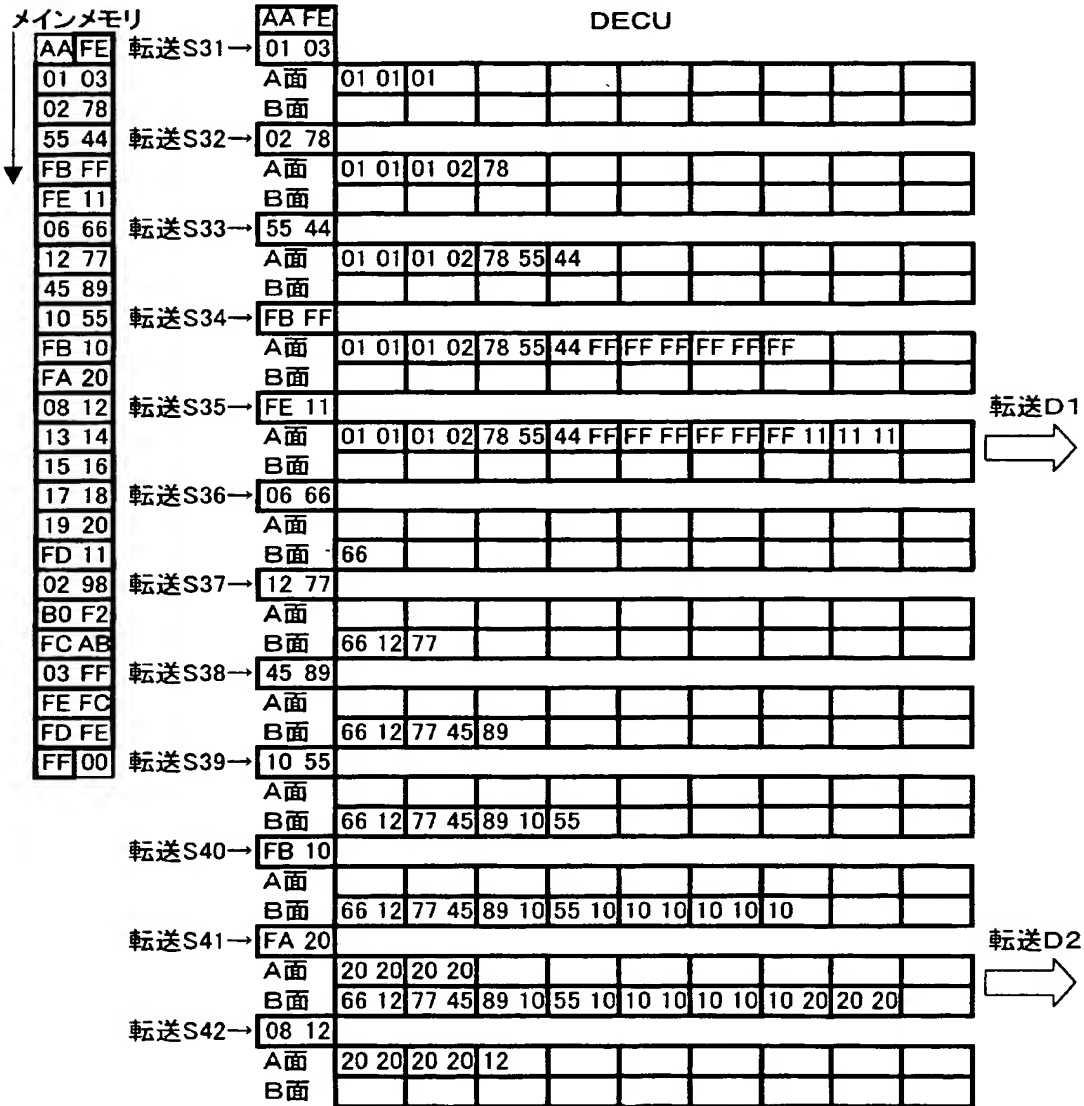
【図 11】

動作条件

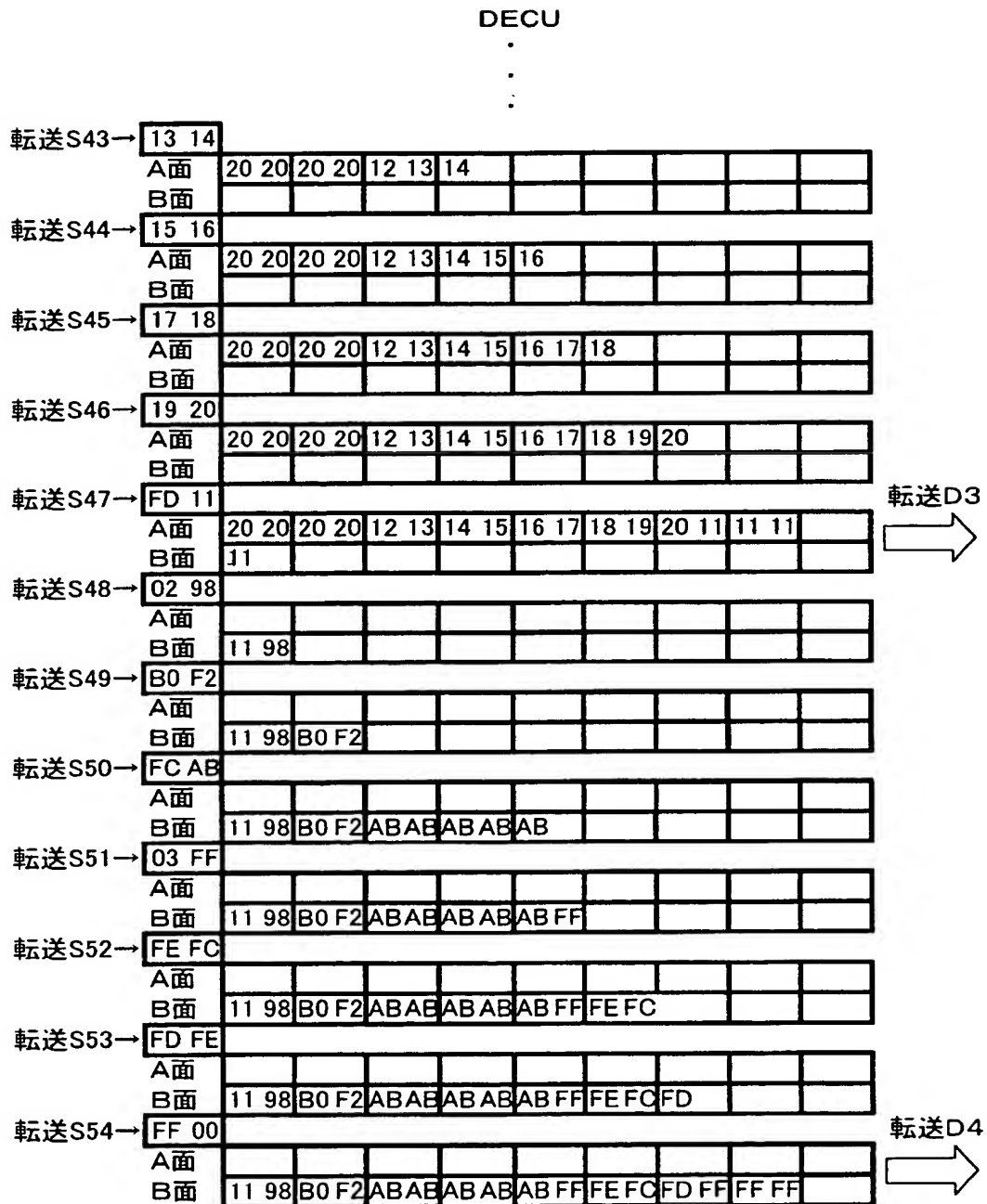
メインメモリ側:ランレングスデータの開始アドレス 奇数アドレス

ローカルメモリ側:イメージデータの開始アドレス 偶数アドレス

1ラインバイト数:16バイト



【図 1 2】



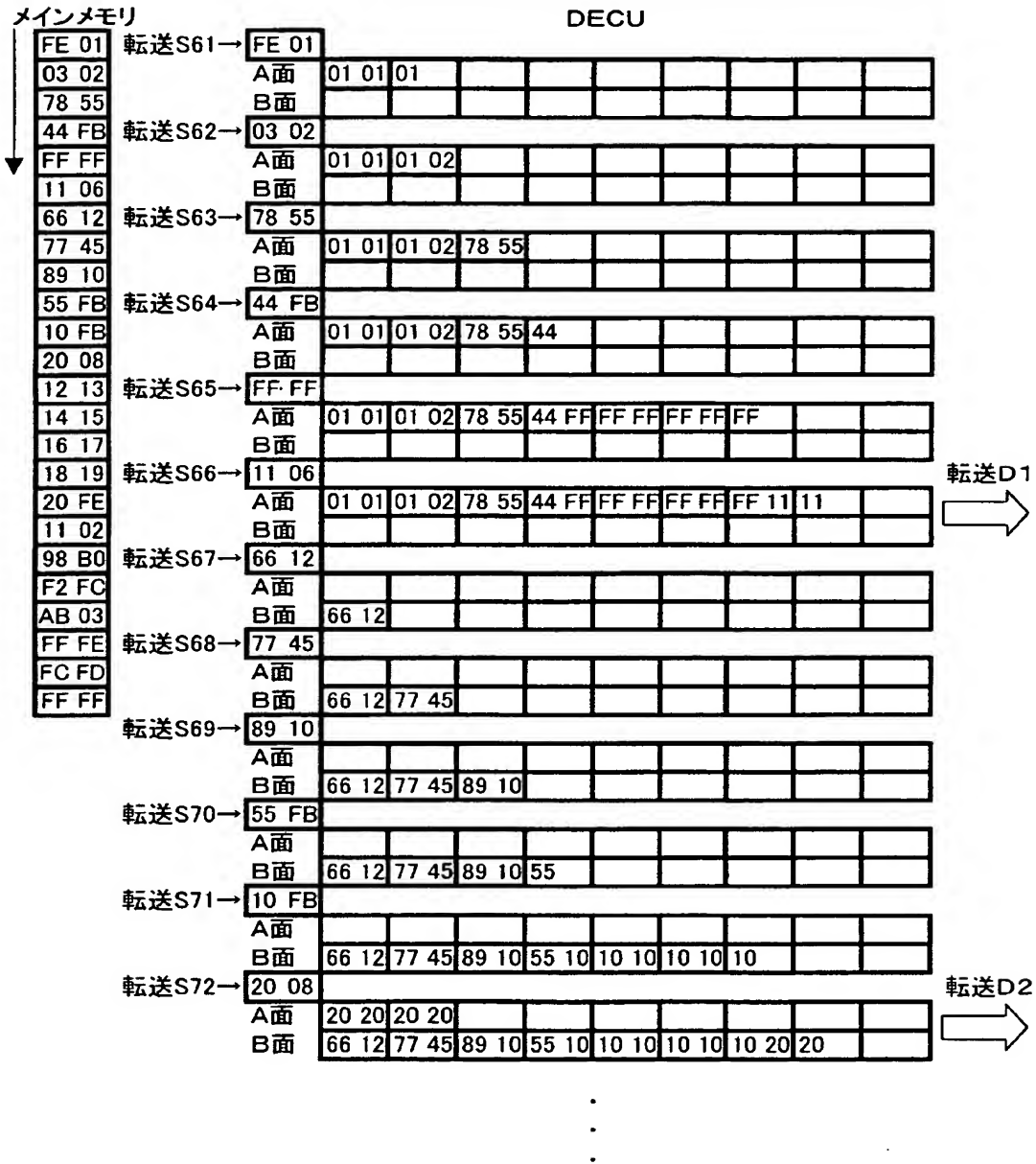
【図 13】

動作条件

メインメモリ側: ランレングスデータの開始アドレス 偶数アドレス

ローカルメモリ側: イメージデータの開始アドレス 偶数アドレス

1ラインバイト数: 15バイト



【図 1 4】



【図 1 5】

設定条件
 ライン縦並び変換あり
 総展開バイト数: 60 バイト (15 × 4)
 1 ラインバイト数: 15 バイト
 展開ライン数: 4 ライン

ローカルメモリ

D1 ↓

(a)

01 01	00 00	00 00	00 00	...	00 00
01 02	00 00	00 00	00 00	...	00 00
78 55	00 00	00 00	00 00	...	00 00
44 FF	00 00	00 00	00 00	...	00 00
FF FF	00 00	00 00	00 00	...	00 00
FF FF	00 00	00 00	00 00	...	00 00
FF 11	00 00	00 00	00 00	...	00 00
11 00	00 00	00 00	00 00	...	00 00

D2 ↓

(b)

01 01	66 12	00 00	00 00	...	00 00
01 02	77 45	00 00	00 00	...	00 00
78 55	89 10	00 00	00 00	...	00 00
44 FF	55 10	00 00	00 00	...	00 00
FF FF	10 10	00 00	00 00	...	00 00
FF FF	10 10	00 00	00 00	...	00 00
FF 11	10 20	00 00	00 00	...	00 00
11 00	20 00	00 00	00 00	...	00 00

D3 ↓

(c)

01 01	66 12	20 20	00 00	...	00 00
01 02	77 45	20 20	00 00	...	00 00
78 55	89 10	12 13	00 00	...	00 00
44 FF	55 10	14 15	00 00	...	00 00
FF FF	10 10	16 17	00 00	...	00 00
FF FF	10 10	18 19	00 00	...	00 00
FF 11	10 20	20 11	00 00	...	00 00
11 00	20 00	11 00	00 00	...	00 00

D4 ↓

(d)

01 01	66 12	20 20	11 98	...	00 00
01 02	77 45	20 20	B0 F2	...	00 00
78 55	89 10	12 13	ABAE	...	00 00
44 FF	55 10	14 15	ABAE	...	00 00
FF FF	10 10	16 17	ABFF	...	00 00
FF FF	10 10	18 19	FE FC	...	00 00
FF 11	10 20	20 11	FD FF	...	00 00
11 00	20 00	11 00	FF 00	...	00 00

【図 1 6】

設定条件

ライン縦並び変換なし

総展開バイト数: 60 バイト (15 × 4)

1ラインバイト数: 15 バイト

展開ライン数: 4 ライン

ローカルメモリ

(a) D1→

01	01	01	02	78	55	44	FF
FF	FF	FF	FF	FF	11	11	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00

(b) D2→

01	01	01	02	78	55	44	FF
FF	FF	FF	FF	FF	11	11	00
66	12	77	45	89	10	55	10
10	10	10	10	10	20	20	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00

(c) D3→

01	01	01	02	78	55	44	FF
FF	FF	FF	FF	FF	11	11	00
66	12	77	45	89	10	55	10
10	10	10	10	10	20	20	00
20	20	20	20	12	13	14	15
16	17	18	19	20	11	11	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00

(d) D4→

01	01	01	02	78	55	44	FF
FF	FF	FF	FF	FF	11	11	00
66	12	77	45	89	10	55	10
10	10	10	10	10	20	20	00
20	20	20	20	12	13	14	15
16	17	18	19	20	11	11	00
11	98	B0	F2	AB	AB	AB	AB
AB	FF	FE	FC	FD	FF	FF	00

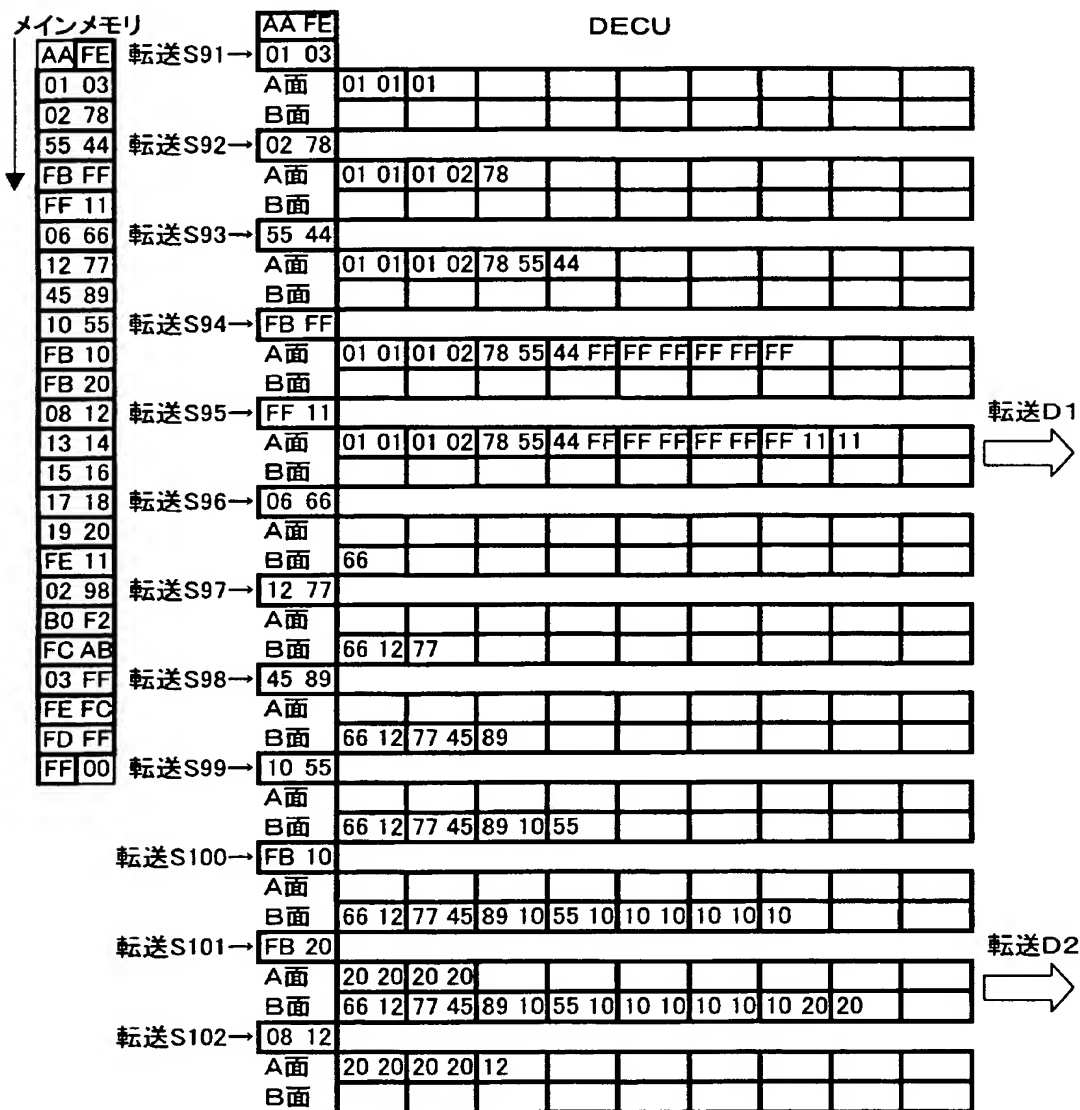
【図 17】

動作条件

メインメモリ側: ランレングスデータの開始アドレス 奇数アドレス

ローカルメモリ側: イメージデータの開始アドレス 偶数アドレス

1ラインバイト数: 15バイト



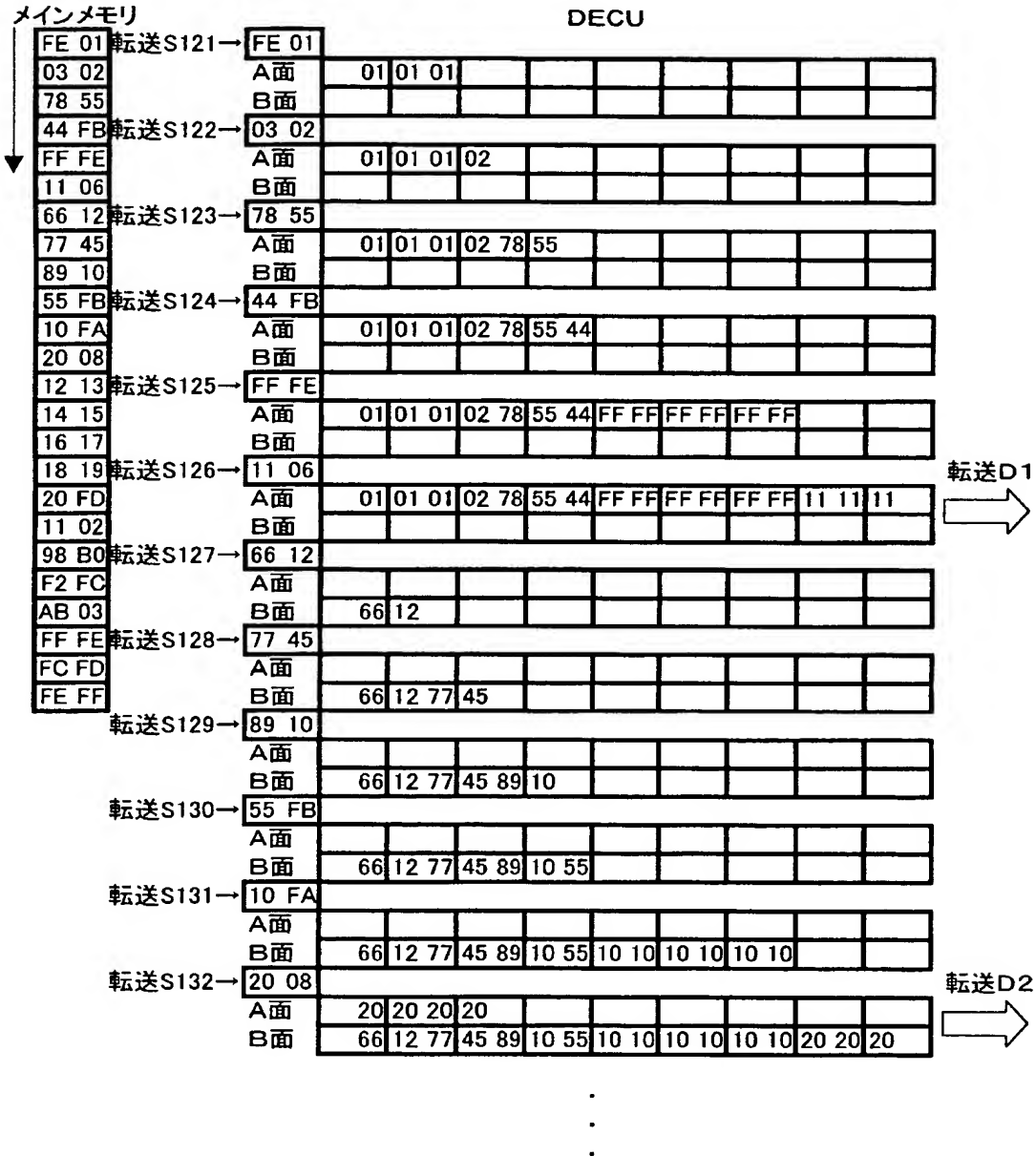
【図 19】

動作条件

メインメモリ側: ランレングスデータの開始アドレス 偶数アドレス

ローカルメモリ側: イメージデータの開始アドレス 奇数アドレス

1ラインバイト数: 16バイト



【図 20】



【図 21】

設定条件
 ライン縦並び変換あり
 総展開バイト数: 64バイト(16×4)
 1ラインバイト数: 16バイト
 展開ライン数: 4ライン

ローカルメモリ

		D1 ↓									
(a)		00	01	00	00	00	00	00	00	...	00 00
		01	01	00	00	00	00	00	00	...	00 00
		02	78	00	00	00	00	00	00	...	00 00
		55	44	00	00	00	00	00	00	...	00 00
		FF	FF	00	00	00	00	00	00	...	00 00
		FF	FF	00	00	00	00	00	00	...	00 00
		FF	FF	00	00	00	00	00	00	...	00 00
		11	11	00	00	00	00	00	00	...	00 00
		11	00	00	00	00	00	00	00	...	00 00
		D2 ↓									
(b)		00	01	00	66	00	00	00	00	...	00 00
		01	01	12	77	00	00	00	00	...	00 00
		02	78	45	89	00	00	00	00	...	00 00
		55	44	10	55	00	00	00	00	...	00 00
		FF	FF	10	10	00	00	00	00	...	00 00
		FF	FF	10	10	00	00	00	00	...	00 00
		FF	FF	10	10	00	00	00	00	...	00 00
		11	11	20	20	00	00	00	00	...	00 00
		11	00	20	00	00	00	00	00	...	00 00
		D3 ↓									
(c)		00	01	00	66	00	20	00	00	...	00 00
		01	01	12	77	20	20	00	00	...	00 00
		02	78	45	89	20	12	00	00	...	00 00
		55	44	10	55	13	14	00	00	...	00 00
		FF	FF	10	10	15	16	00	00	...	00 00
		FF	FF	10	10	17	18	00	00	...	00 00
		FF	FF	10	10	19	20	00	00	...	00 00
		11	11	20	20	11	11	00	00	...	00 00
		11	00	20	00	11	00	00	00	...	00 00
		D4 ↓									
(d)		00	01	00	66	00	20	00	11	...	00 00
		01	01	12	77	20	20	98	B0	...	00 00
		02	78	45	89	20	12	F2	AE	...	00 00
		55	44	10	55	13	14	AB	AE	...	00 00
		FF	FF	10	10	15	16	AB	AE	...	00 00
		FF	FF	10	10	17	18	FF	FE	...	00 00
		FF	FF	10	10	19	20	FC	FD	...	00 00
		11	11	20	20	11	11	FF	FF	...	00 00
		11	00	20	00	11	00	FF	00	...	00 00

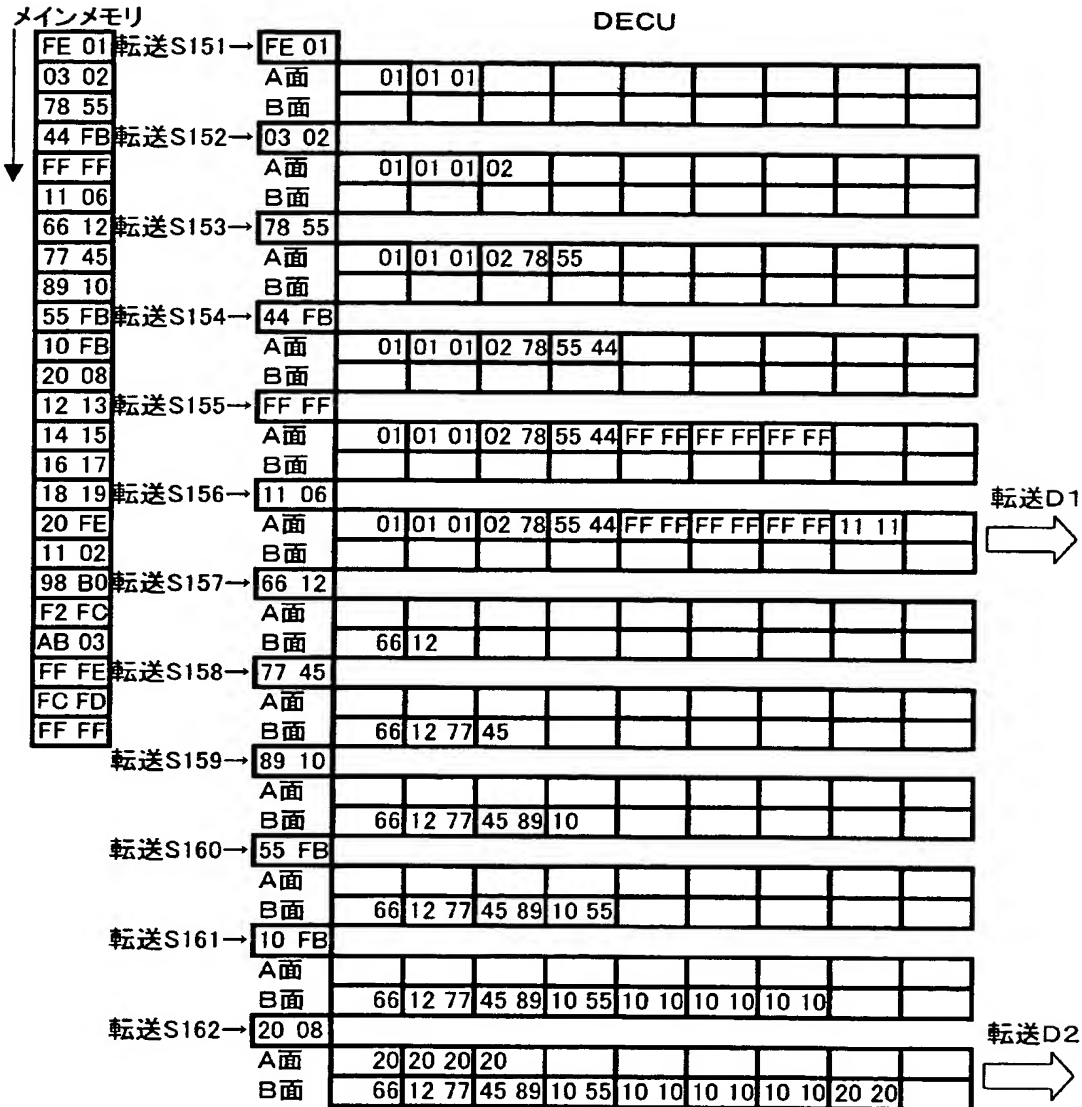
【図 22】

動作条件

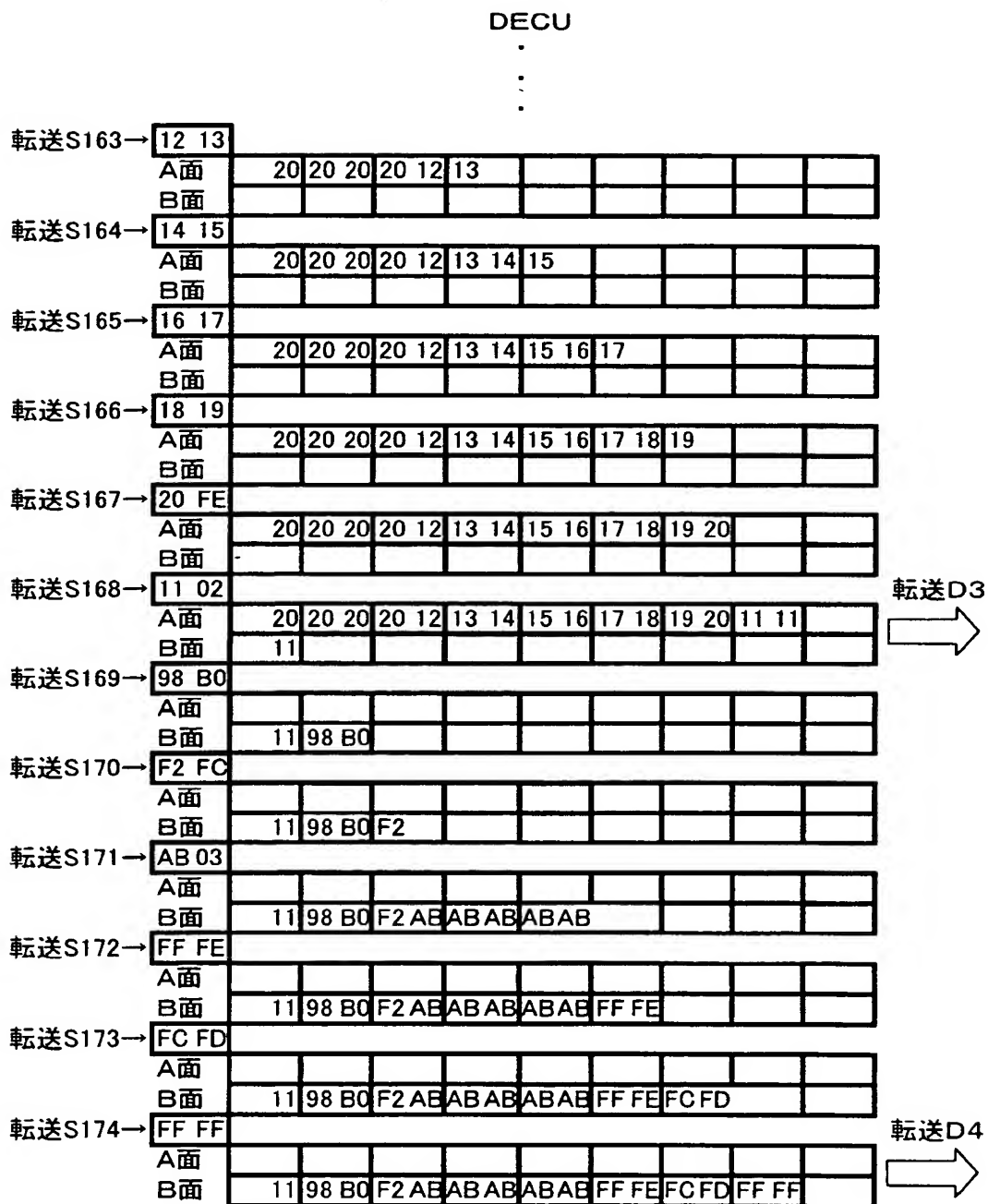
メインメモリ側: ランレングスデータの開始アドレス 偶数アドレス

ローカルメモリ側: イメージデータの開始アドレス 奇数アドレス

1ラインバイト数: 15バイト



【図 23】



【図 2 4】

設定条件
 ライン縦並び変換あり
 総展開バイト数: 60 バイト (15 × 4)
 1 ラインバイト数: 15 バイト
 展開ライン数: 4 ライン

	ローカルメモリ														
	D1 ↓														
(a)	00	01	00	00	00	00	00	00	00	...	00	00			
	01	01	00	00	00	00	00	00	00	...	00	00			
	02	78	00	00	00	00	00	00	00	...	00	00			
	55	44	00	00	00	00	00	00	00	...	00	00			
	FF	FF	00	00	00	00	00	00	00	...	00	00			
	FF	FF	00	00	00	00	00	00	00	...	00	00			
	FF	FF	00	00	00	00	00	00	00	...	00	00			
	11	11	00	00	00	00	00	00	00	...	00	00			
	D2 ↓														
(b)	00	01	00	66	00	00	00	00	00	...	00	00			
	01	01	12	77	00	00	00	00	00	...	00	00			
	02	78	45	89	00	00	00	00	00	...	00	00			
	55	44	10	55	00	00	00	00	00	...	00	00			
	FF	FF	10	10	00	00	00	00	00	...	00	00			
	FF	FF	10	10	00	00	00	00	00	...	00	00			
	FF	FF	10	10	00	00	00	00	00	...	00	00			
	11	11	20	20	00	00	00	00	00	...	00	00			
	D3 ↓														
(c)	00	01	00	66	00	20	00	00	00	...	00	00			
	01	01	12	77	20	20	00	00	00	...	00	00			
	02	78	45	89	20	12	00	00	00	...	00	00			
	55	44	10	55	13	14	00	00	00	...	00	00			
	FF	FF	10	10	15	16	00	00	00	...	00	00			
	FF	FF	10	10	17	18	00	00	00	...	00	00			
	FF	FF	10	10	19	20	00	00	00	...	00	00			
	11	11	20	20	11	11	00	00	00	...	00	00			
	D4 ↓														
(d)	00	01	00	66	00	20	00	11	...	00	00				
	01	01	12	77	20	20	98	B0	...	00	00				
	02	78	45	89	20	12	F2	AB	...	00	00				
	55	44	10	55	13	14	AB	AB	...	00	00				
	FF	FF	10	10	15	16	AB	AB	...	00	00				
	FF	FF	10	10	17	18	FF	FE	...	00	00				
	FF	FF	10	10	19	20	FC	FD	...	00	00				
	11	11	20	20	11	11	FF	FF	...	00	00				

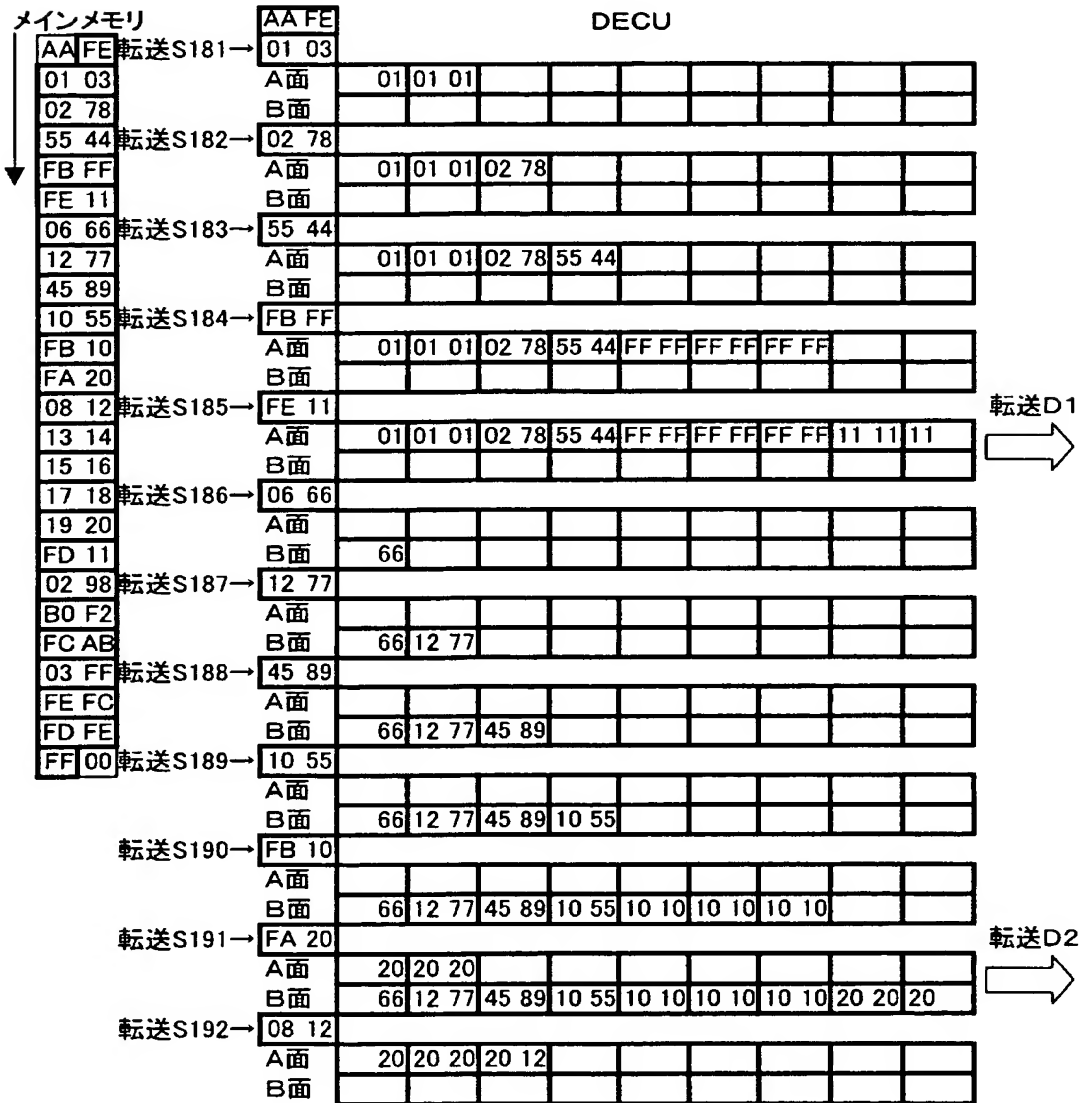
【図 25】

動作条件

メインメモリ側:ランレングスデータの開始アドレス 奇数アドレス

ローカルメモリ側:イメージデータの開始アドレス 奇数アドレス

1ラインバイト数:16バイト



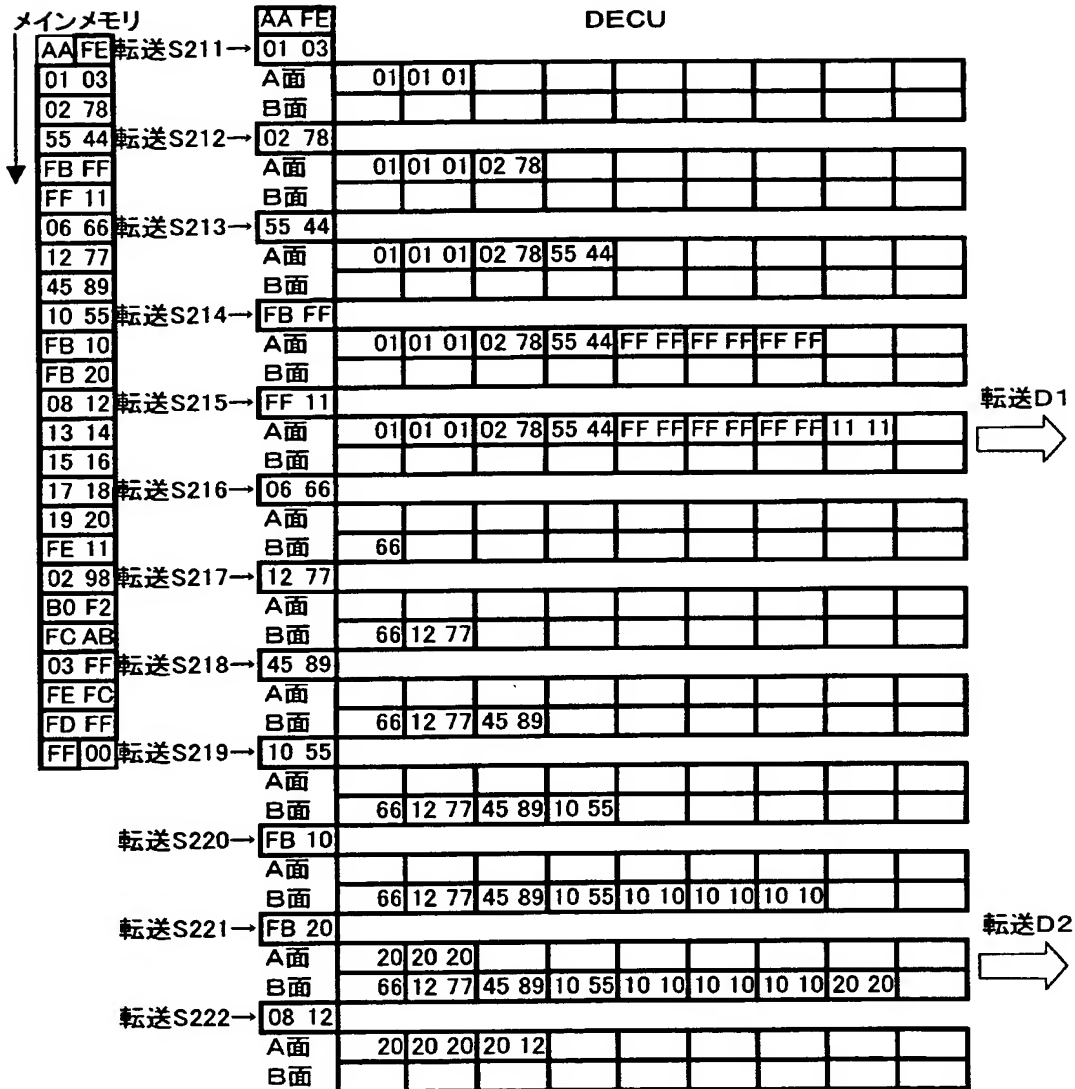
【図 2 7】

動作条件

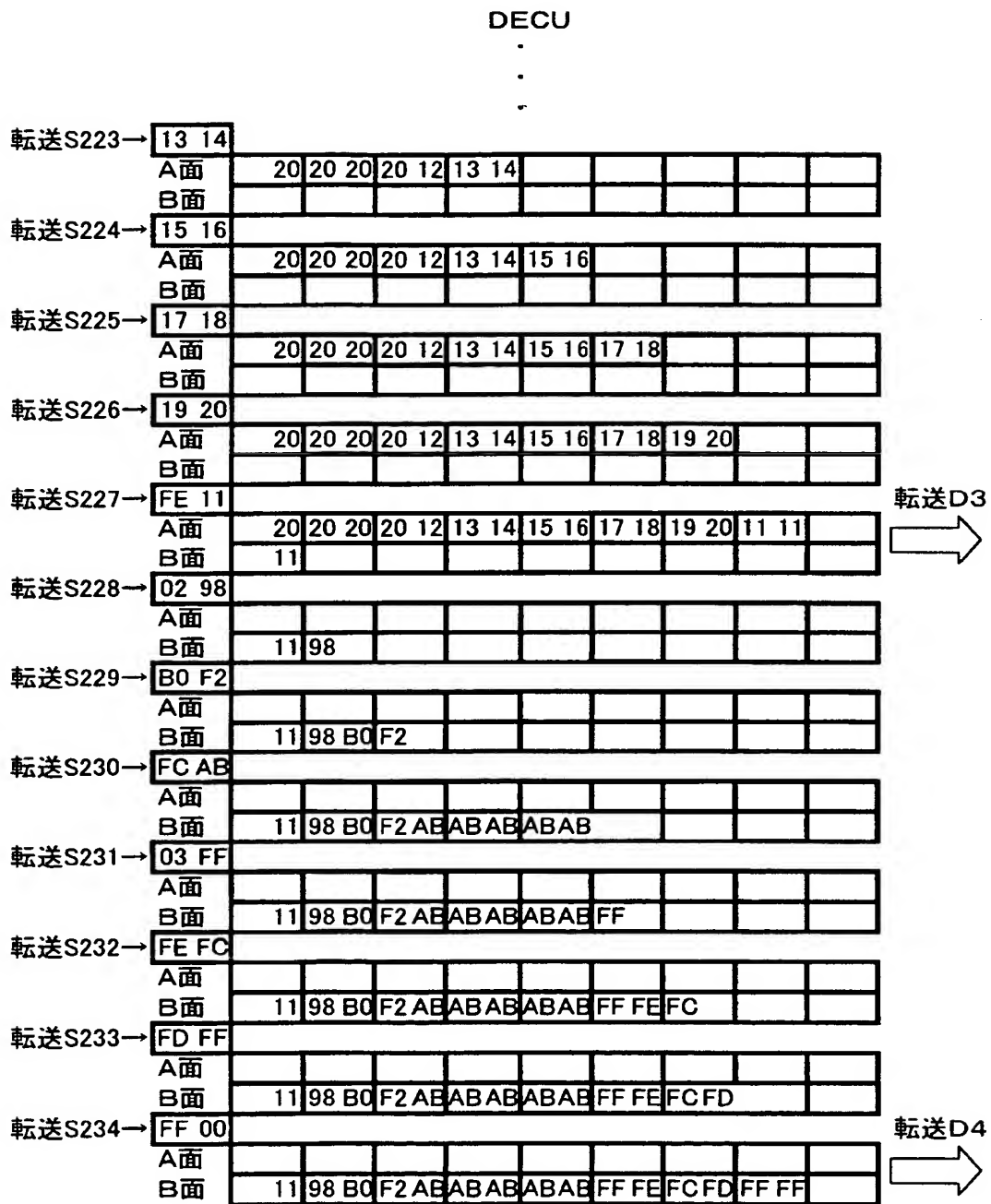
メインメモリ側：ランレングスデータの開始アドレス 奇数アドレス

ローカルメモリ側：イメージデータの開始アドレス 奇数アドレス

1ラインバイト数:15バイト



【図 28】



【図 29】

設定条件
 ライン縦並び変換あり
 総展開バイト数: 64バイト(16×4)
 1ラインバイト数: 16バイト
 展開ライン数: 4ライン

ローカルメモリ

D1 ↓

イメージ1

(a)

01 01	00 00	00 00	00 00	...	00 00
01 02	00 00	00 00	00 00	...	00 00
78 55	00 00	00 00	00 00	...	00 00
44 FF	00 00	00 00	00 00	...	00 00
FF FF	00 00	00 00	00 00	...	00 00
FF FF	00 00	00 00	00 00	...	00 00
FF 11	00 00	00 00	00 00	...	00 00
11 11	00 00	00 00	00 00	...	00 00

D2 ↓

イメージ2

(b)

66 12	00 00	00 00	00 00	...	00 00
77 45	00 00	00 00	00 00	...	00 00
89 10	00 00	00 00	00 00	...	00 00
55 10	00 00	00 00	00 00	...	00 00
10 10	00 00	00 00	00 00	...	00 00
10 10	00 00	00 00	00 00	...	00 00
10 20	00 00	00 00	00 00	...	00 00
20 20	00 00	00 00	00 00	...	00 00

D3 ↓

イメージ1

(c)

01 01	20 20	00 00	00 00	...	00 00
01 02	20 20	00 00	00 00	...	00 00
78 55	12 13	00 00	00 00	...	00 00
44 FF	14 15	00 00	00 00	...	00 00
FF FF	16 17	00 00	00 00	...	00 00
FF FF	18 19	00 00	00 00	...	00 00
FF 11	20 11	00 00	00 00	...	00 00
11 11	11 11	00 00	00 00	...	00 00

D4 ↓

イメージ2

(d)

66 12	11 98	00 00	00 00	...	00 00
77 45	B0 F2	00 00	00 00	...	00 00
89 10	ABAE	00 00	00 00	...	00 00
55 10	ABAE	00 00	00 00	...	00 00
10 10	AB FF	00 00	00 00	...	00 00
10 10	FE FC	00 00	00 00	...	00 00
10 20	FD FF	00 00	00 00	...	00 00
20 20	FF FF	00 00	00 00	...	00 00

【図 3 0】

設定条件
 ライン縦並び変換なし
 総展開バイト数: 64 バイト (16 × 4)
 1 ラインバイト数: 16 バイト
 展開ライン数: 4 ライン

		ローカルメモリ			
		イメージ1			
(a)	D1→	01 01	01 02	78 55	44 FF
		FF FF	FF FF	FF 11	11 11
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00
		イメージ2			
(b)	D2→	66 12	77 45	89 10	55 10
		10 10	10 10	10 20	20 20
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00
		イメージ1			
(c)	D3→	01 01	01 02	78 55	44 FF
		FF FF	FF FF	FF 11	11 11
		20 20	20 20	12 13	14 15
		16 17	18 19	20 11	11 11
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00
		イメージ2			
(d)	D4→	66 12	77 45	89 10	55 10
		10 10	10 10	10 20	20 20
		11 98	B0 F2	AB AB	AB AB
		AB FF	FE FC	FD FF	FF FF
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00
		00 00	00 00	00 00	00 00

【図 3 1】

設定条件

ライン縦並び変換あり

総展開バイト数:60バイト(15×4)

1ラインバイト数:15バイト

展開ライン数:4ライン

		ローカルメモリ														
		D1 ↓			イメージ1											
(a)		01 01	00 00	00 00	00 00	...	00 00									
		01 02	00 00	00 00	00 00	...	00 00									
		78 55	00 00	00 00	00 00	...	00 00									
		44 FF	00 00	00 00	00 00	...	00 00									
		FF FF	00 00	00 00	00 00	...	00 00									
		FF FF	00 00	00 00	00 00	...	00 00									
		FF 11	00 00	00 00	00 00	...	00 00									
		11 00	00 00	00 00	00 00	...	00 00									
		D2 ↓			イメージ2											
(b)		66 12	00 00	00 00	00 00	...	00 00									
		77 45	00 00	00 00	00 00	...	00 00									
		89 10	00 00	00 00	00 00	...	00 00									
		55 10	00 00	00 00	00 00	...	00 00									
		10 10	00 00	00 00	00 00	...	00 00									
		10 10	00 00	00 00	00 00	...	00 00									
		10 20	00 00	00 00	00 00	...	00 00									
		20 00	00 00	00 00	00 00	...	00 00									
		D3 ↓			イメージ1											
(c)		01 01	20 20	00 00	00 00	...	00 00									
		01 02	20 20	00 00	00 00	...	00 00									
		78 55	12 13	00 00	00 00	...	00 00									
		44 FF	14 15	00 00	00 00	...	00 00									
		FF FF	16 17	00 00	00 00	...	00 00									
		FF FF	18 19	00 00	00 00	...	00 00									
		FF 11	20 11	00 00	00 00	...	00 00									
		11 00	11 00	00 00	00 00	...	00 00									
		D4 ↓			イメージ2											
(d)		66 12	11 98	00 00	00 00	...	00 00									
		77 45	B0 F2	00 00	00 00	...	00 00									
		89 10	ABAE	00 00	00 00	...	00 00									
		55 10	ABAE	00 00	00 00	...	00 00									
		10 10	ABFF	00 00	00 00	...	00 00									
		10 10	FEFC	00 00	00 00	...	00 00									
		10 20	FDFF	00 00	00 00	...	00 00									
		20 00	FF 00	00 00	00 00	...	00 00									

【図 3 2】

設定条件

ライン縦並び変換なし

総展開バイト数: 60バイト (15 × 4)

1ラインバイト数:15バイト

展開ライン数:4ライン

ローカルメモリ

イメージ1

[illegible]

イメージ2

[illegible]

イメージ1

(c)

01 01	01 02	78 55	44 FF
FF FF	FF FF	FF 11	11 00
D3 → 20 20	20 20	12 13	14 15
16 17	18 19	20 11	11 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00

イメージ2

(d)

66 12	77 45	89 10	55 10
10 10	10 10	10 20	20 00
11 98	B0 F2	ABAE	ABAE
ABFF	FEFC	FD FF	FF 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00

D4→

【図 33】

設定条件
 ライン縦並び変換あり
 総展開バイト数: 64バイト(16×4)
 1ラインバイト数: 16バイト
 展開ライン数: 4ライン

		ローカルメモリ															
		D1 ↓				イメージ1											
(a)		00	01	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		01	01	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		02	78	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		55	44	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		FF	FF	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		FF	FF	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		FF	FF	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		11	11	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		11	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		D2 ↓				イメージ2											
(b)		00	66	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		12	77	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		45	89	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		10	55	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		10	10	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		10	10	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		10	10	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		20	20	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		20	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		D3 ↓				イメージ1											
(c)		00	01	00	20	00	00	00	00	00	00	00	00	00	00	00	00
		01	01	20	20	00	00	00	00	00	00	00	00	00	00	00	00
		02	78	20	12	00	00	00	00	00	00	00	00	00	00	00	00
		55	44	13	14	00	00	00	00	00	00	00	00	00	00	00	00
		FF	FF	15	16	00	00	00	00	00	00	00	00	00	00	00	00
		FF	FF	17	18	00	00	00	00	00	00	00	00	00	00	00	00
		FF	FF	19	20	00	00	00	00	00	00	00	00	00	00	00	00
		11	11	11	11	00	00	00	00	00	00	00	00	00	00	00	00
		11	00	11	00	00	00	00	00	00	00	00	00	00	00	00	00
		D4 ↓				イメージ2											
(d)		00	66	00	11	00	00	00	00	00	00	00	00	00	00	00	00
		12	77	98	B0	00	00	00	00	00	00	00	00	00	00	00	00
		45	89	F2	AE	00	00	00	00	00	00	00	00	00	00	00	00
		10	55	AB	AE	00	00	00	00	00	00	00	00	00	00	00	00
		10	10	AB	AE	00	00	00	00	00	00	00	00	00	00	00	00
		10	10	FF	FE	00	00	00	00	00	00	00	00	00	00	00	00
		10	10	FC	FD	00	00	00	00	00	00	00	00	00	00	00	00
		20	20	FF	FF	00	00	00	00	00	00	00	00	00	00	00	00
		20	00	FF	00	00	00	00	00	00	00	00	00	00	00	00	00

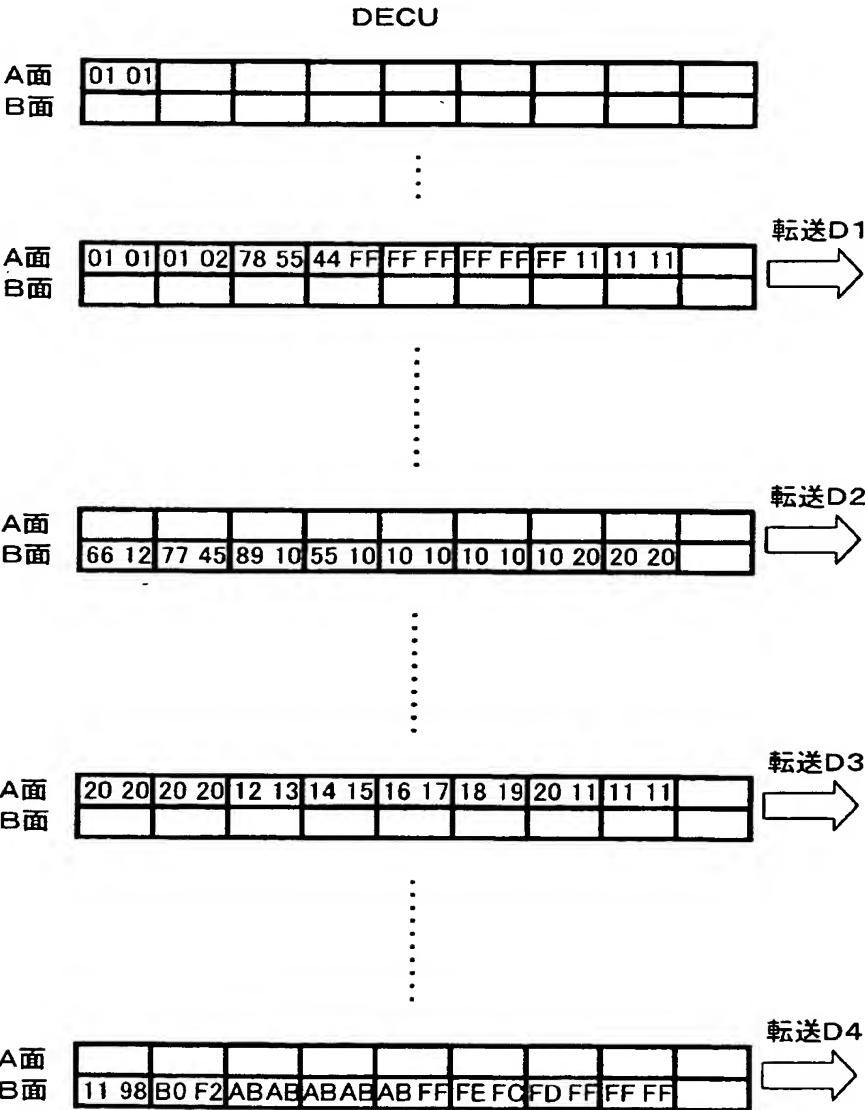
【図 3 4】

設定条件
 ライン縦並び変換あり
 総展開バイト数: 60バイト(15×4)
 1ラインバイト数: 15バイト
 展開ライン数: 4ライン

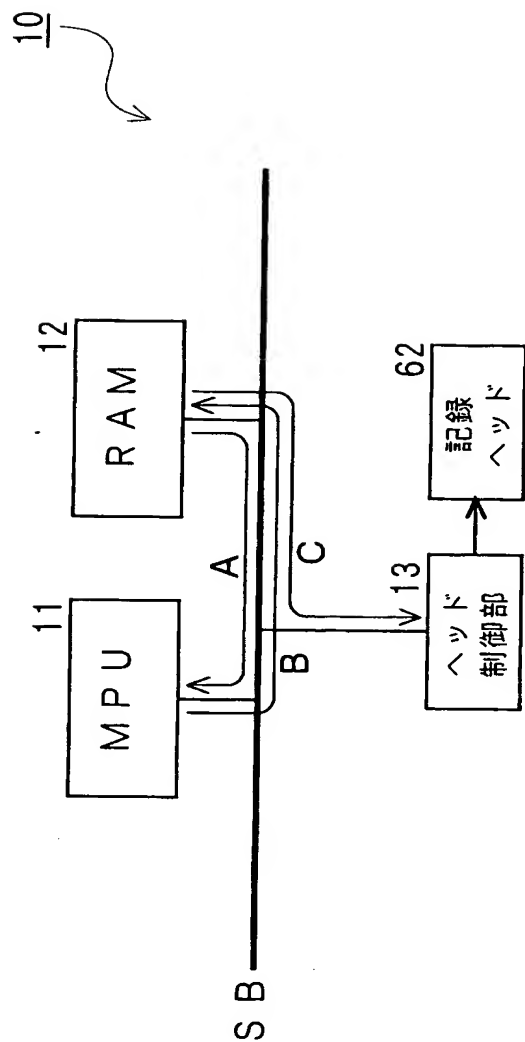
		ローカルメモリ									
		D1 ↓					イメージ1				
(a)		00	01	00	00	00	00	00	00	...	00 00
		01	01	00	00	00	00	00	00	...	00 00
		02	78	00	00	00	00	00	00	...	00 00
		55	44	00	00	00	00	00	00	...	00 00
		FF	FF	00	00	00	00	00	00	...	00 00
		FF	FF	00	00	00	00	00	00	...	00 00
		FF	FF	00	00	00	00	00	00	...	00 00
		11	11	00	00	00	00	00	00	...	00 00
		D2 ↓					イメージ2				
(b)		00	66	00	00	00	00	00	00	...	00 00
		12	77	00	00	00	00	00	00	...	00 00
		45	89	00	00	00	00	00	00	...	00 00
		10	55	00	00	00	00	00	00	...	00 00
		10	10	00	00	00	00	00	00	...	00 00
		10	10	00	00	00	00	00	00	...	00 00
		10	10	00	00	00	00	00	00	...	00 00
		20	20	00	00	00	00	00	00	...	00 00
		D3 ↓					イメージ1				
(c)		00	01	00	20	00	00	00	00	...	00 00
		01	01	20	20	00	00	00	00	...	00 00
		02	78	20	12	00	00	00	00	...	00 00
		55	44	13	14	00	00	00	00	...	00 00
		FF	FF	15	16	00	00	00	00	...	00 00
		FF	FF	17	18	00	00	00	00	...	00 00
		FF	FF	19	20	00	00	00	00	...	00 00
		11	11	11	11	00	00	00	00	...	00 00
		D4 ↓					イメージ2				
(d)		00	66	00	11	00	00	00	00	...	00 00
		12	77	98	B0	00	00	00	00	...	00 00
		45	89	F2	AE	00	00	00	00	...	00 00
		10	55	AB	AE	00	00	00	00	...	00 00
		10	10	AB	AE	00	00	00	00	...	00 00
		10	10	FF	FE	00	00	00	00	...	00 00
		10	10	FC	FD	00	00	00	00	...	00 00
		20	20	FF	FF	00	00	00	00	...	00 00

【図 3 5】

動作条件
メインメモリ側：イメージデータの開始アドレス 偶数アドレス
ローカルメモリ側：イメージデータの開始アドレス 偶数アドレス
1ラインバイト数：16バイト



【図 36】



【書類名】 要約書

【要約】

【課題】 圧縮データの高速な展開処理と、液体噴射ヘッドへの高速なデータ転送とを実現し、液体噴射装置の液体噴射実行速度を従来と比較して飛躍的に高速化する。

【解決手段】 圧縮された記録データは、受信バッファ部 4 2 へシステムバス S B を経由して 1 ワードずつ DMA 転送される。受信バッファ部 4 2 からシステムバス S B を介して D E C U 4 1 へ DMA 転送される。D E C U 4 1 の内部でデコード回路 2 8 によって、圧縮されたデータがハードウェア展開され、ラインバッファ 2 8 1 へ格納される。所定バイト数に達した時点で、ローカルバス L B を経由してローカルメモリ 2 9 へ DMA 転送される。ローカルメモリ 2 9 へ格納された記録データは、ローカルバス L B を経由して D E C U 4 1 へ DMA 転送され、ヘッド制御部 3 3 へ DMA 転送され、記録ヘッド 6 2 へ DMA 転送される。

【選択図】 図 4

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 7 5 0 9 5
受付番号	5 0 3 0 1 0 2 6 5 7 3
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 6 月 2 4 日

< 認定情報・付加情報 >

【提出日】	平成15年 6月19日
【特許出願人】	
【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿 2 丁目 4 番 1 号
【氏名又は名称】	セイコーエプソン株式会社
【代理人】	申請人
【識別番号】	100095452
【住所又は居所】	東京都中央区京橋二丁目 5 番 2 2 号 キムラヤビル 6 階 石井特許事務所
【氏名又は名称】	石井 博樹

次頁無

特願 2 0 0 3 - 1 7 5 0 9 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社